

DIGCOM-A1.2 FPGA 실습키트
(VHDL, Verilog)
Quartus Prime Lite 21.1

2022년 3월 26일

주식회사 인트모션

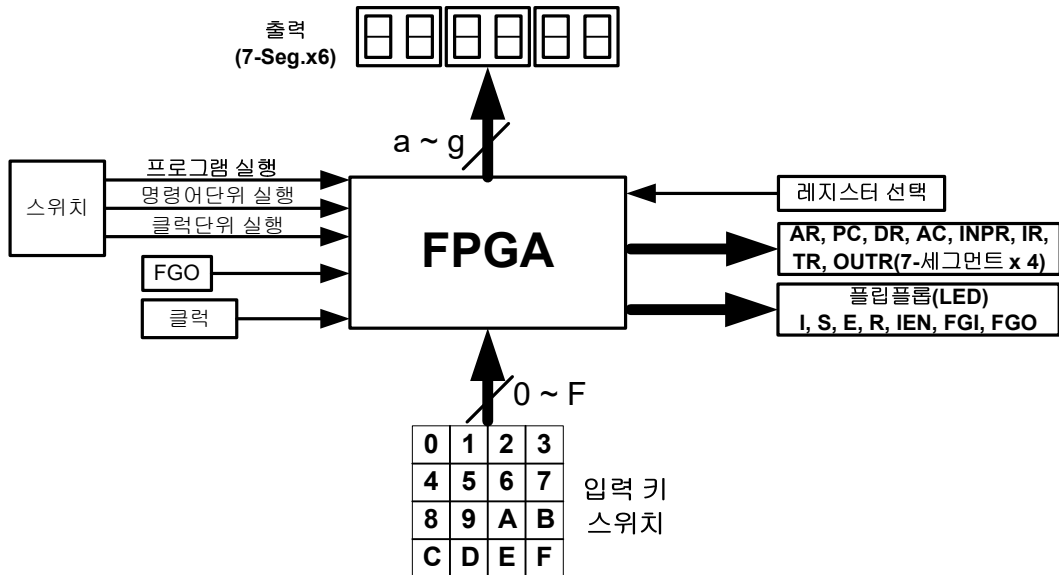
목 차

1. DIGCOM-A1.2 소개	3
2. Quartus Prime Lite 소프트웨어 설치	7
3. Questa Simulator를 사용하기 위한 라이선스 설치 ..	12
4. Quartus Prime Lite 소프트웨어 사용	17
5. 계층적 프로젝트(Hierarchical Project)	35
6. DIGCOM-A1.2 디바이스 핀 할당	42
7. USB-Blaster 드라이버 설치(64비트 윈도우10 기준) ..	45
8. DIGCOM-A1.2 회로도	49

1. DIGCOM-A1.2 소개

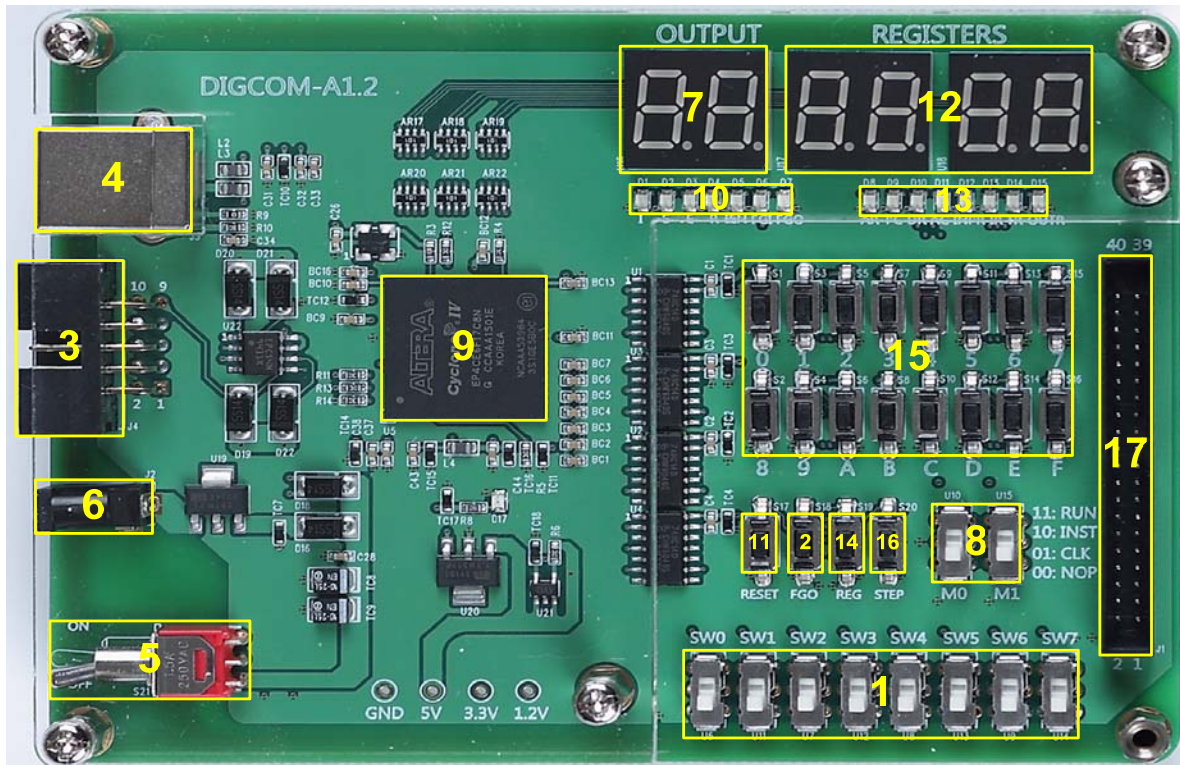
1.1 DIGCOM-A1.2 개요

DIGCOM-A1.2의 전체 하드웨어의 구성은 [그림 1]과 같다. DIGCOM-A1.2에서는 일반적으로 사용할 수 있는 입출력 장치가 3개의 2자리 7-세그먼트 FND(Flexible Numeric Display), 16개의 푸시버튼 스위치, 8개의 슬라이드 스위치 및 15개의 LED가 있다 DIGCOM-A1.2가 기본 컴퓨터의 실습장치로 사용될 때는 16개의 푸시버튼 스위치는 키 값을 갖는 입력장치로 사용되고 3개의 2자리 7-세그먼트 FND가운데 2자리는 출력장치로 사용되며, 4자리는 프로세서 내부의 레지스터를 모니터링 할 수 있고 7개의 LED는 플립플롭을 모니터링할 수 있다. 또한 명령어 단위, 클럭 단위 또는 프로그램 단위로 실행을 제어하는 선택 스위치가 있다.



DIGCOM-A1.2가 기본컴퓨터의 실습장치로 사용될 때 동작 모드를 결정하는 것은 슬라이드 스위치의 위치에 따라서 프로그램단위, 명령어 단위 또는 클럭 단위로 실행이 된다. 출력장치는 2자리 FND를 이용하여 8비트 값을 출력할 수 있으며, 입력으로는 0x0 ~ 0xF의 16진수 값을 갖는 16개의 입력 키 스위치를 이용하여 입력한다. 기본 컴퓨터에는 모두 8개의 레지스터가 있다. 프로그램 실행도중에 이 레지스터 값을 동시에 보기 위해서는 너무 많은 출력장치가 필요하므로 레지스터 선택 스위치를 이용해서 한번에 한 개의 레지스터 값이 2개의 7-세그먼트 FND에 출력되도록 한다. 또한 LED를 통해 내부 플립플롭 값을 모니터링 할 수 있다. [그

림 2]는 DIGCOM-A1.2의 구성과 기본 컴퓨터로 동작할 때 각 세부구성과 기능을 보여주고 있다. DIGCOM-A1.2가 일반적인 FPGA 실습장치로 사용될 때는 입출력 장치를 임의로 할당하여 사용할 수 있다.



- ① 슬라이드 스위치 : 논리값 '0' 또는 '1'을 입력할 수 있는 입력 장치. 8개로 구성
- ② FGO_SET 스위치 : 출력 7-세그먼트에 새로운 데이터가 출력될 준비가 되었다는 것을 알리기 위해 출력 플래그(FGO)를 "1"로 설정하기 위해 사용된다.
- ③ USB Blaster 포트 : Active Serial 모드로 EPCS4 configuration 디바이스에 다운로드 할 때 사용. Configuration 디바이스에 다운로드 되므로 전원이 꺼져도 내용이 지워지지 않는다. 다운로드된 데이터는 전원이 켜질 때 자동적으로 CycloneIV FPGA 에 프로그램된다.
- ④ USB 전원 공급 : USB 를 이용하여 전원을 공급하며, ⑥ 어댑터를 이용하거나 USB 전원을 이용할 수 있다.
- ⑤ 주 전원 스위치 : 전원 ON/OFF 스위치

- ⑥ 어댑터 전원 공급 : 어댑터를 이용하여 전원을 공급하며 ④ USB 전원을 이용하거나 어댑터 전원을 이용할 수 있다.
- ⑦ 출력 2 자리 7-세그먼트 FND : 출력을 위해 OTR(Output Register)에 저장된 내용을 출력한다.
- ⑧ 실행 모드 선택 스위치 : 런(run) 모드, 명령어 모드 또는 클럭 모드 중 하나를 선택하는 스위치
- ⑨ EP4CE6F17C8 CycloneIV FPGA : Verilgo 또는 VHDL 로 설계된 "기본 컴퓨터"가 프로그램되고 실행된다.
- ⑩ 플립플롭 LED : 내부 7 개의 플립플롭 상태를 표시해 준다.
- ⑪ 리셋 스위치 : 실습키트의 내부 레지스터와 플립플롭을 초기화시킨다.
- ⑫ 레지스터 출력 7-세그먼트 FND : 내부에 있는 8 개의 레지스터 값을 보여준다. ⑭ 레지스터 선택 스위치에 의해 순차적으로 레지스터의 값이 출력되며 ⑬ 레지스터선택 LED 에 현재 출력 중인 레지스터가 표시된다.
- ⑬ 레지스터 표시 LED : ⑫ 레지스터 출력 FND 에 출력중인 8 개의 레지스터중 하나를 표시한다.
- ⑭ 레지스터 선택 스위치 : 스위치를 누를 때마다 순차적으로 ⑫ 레지스터 출력 FND 에 출력될 레지스터를 선택한다.
- ⑮ 입력 스위치 : 입력은 "0"에서 "F"까지 16 진수 값을 입력할 수 있다.
- 16 스텝 스위치 : 명령어 모드 또는 클럭 모드에서 사용된다. 클럭 모드에서 스텝 스위치를 한번 누를 때마다 하나의 클럭 단위로 실행되며, 명령어 모드에서는 한번 누를 때마다 하나의 명령어가 실행된다.
- 17 확장 포트 : FPGA 입출력 단자를 확장포트로 연결하여 DIGCOM-A1.2 에 하드웨어를 설계해서 사용할 수 있도록 하였다.

1.2 DIGCOM-A1.2 설치

a. 전원연결

전원은 ④ USB 전원 또는 ⑥ 어댑터 전원을 이용할 수 있다. USB 포트를 사용할 수 있는 컴퓨터가 있으면 USB 전원을 사용할 수 있으나 그렇지 않은 경우에는 어댑터 전원을 이용한다. 또한 확장 포트에 하드웨어를 추가할 경우 USB 전원이 부족할 때 어댑터 전원을 사용한다.

b. USB Blaster 다운로드 케이블 연결

USB 케이블을 컴퓨터의 USB 포트와 USB Blaster의 USB 포트에 연결하고, 10핀 IDC 케이블을 사용하여 USB Blaster의 JTAG 포트와 DIGCOM-A1.2의 USB Blaster 포트를 연결한다.

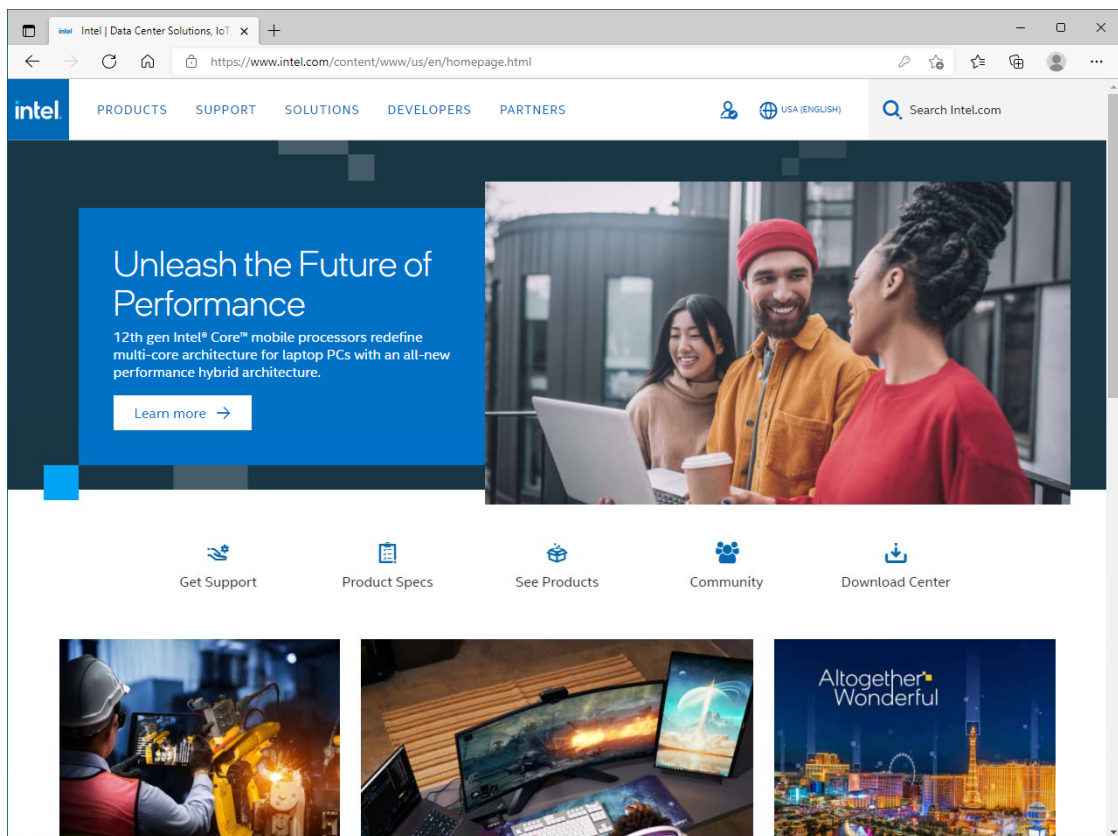
2. Quartus Prime Lite 소프트웨어 설치

a. Intel 회원 가입

- 2015년에 Altera가 Intel에 합병되어 모든 자료를 Intel 홈페이지에서 다운로드 받아야 한다.
- Intel 홈페이지에서 회원으로 가입을 해야 설계 소프트웨어를 다운로드 받을 수 있다.

b. 설계 소프트웨어 다운로드

- 사이트가 자주 변경되기 때문에 다운로드되는 페이지를 잘 찾아야 한다.
- 인터넷 익스플로러나 크롬보다 마이크로소프트 에지를 사용할 때 프로그램 다운로드가 잘 된다.



- 회원가입 후, 초기 화면에서 "Download Center Intel®"를 순서대로 선택.

Additional Software	Product Name	Download Count	Release Date	Version	Actions
CLEAR	Intel® FPGA SDK for OpenCL™ Pro Edition Software Version 21.4	706030	12/15/21	21.4	Bookmark Dropdown
Intel® FPGA SDK for OpenCL™ (73)					
Intel® FPGA Simulation Tools (72)					
Intel® FPGA Programming Software (66)	Intel® Quartus® Prime Pro Edition Design Software Version 21.4 for Linux	706104	12/14/21	21.4	Bookmark Dropdown
Intel® SoC FPGA Embedded Development Suite (SoC EDS) (52)					
DSP Builder for Intel® FPGAs (50)	Intel® Quartus® Prime Pro Edition Design Software Version 21.4 for Windows	706105	12/14/21	21.4	Bookmark Dropdown
Intel® FPGA Protocol Tools (49)					
Intel® High Level Synthesis Compiler (30)	Intel® Advanced Link Analyzer Pro Edition Software Version 21.4 for Windows	706039	12/14/21	21.4	Bookmark Dropdown
Intel® FPGA Power Thermal Calculator (20)					
Arm® Development Studio for Intel® SoC FPGA (6)	Intel® Quartus® Prime Lite Edition Design Software Version 21.1 for Linux	684215	11/03/21	21.1	Bookmark Dropdown
Intel® FPGA Device Family	Intel® Quartus® Prime Lite Edition Design Software Version 21.1 for Windows	684216	11/03/21	21.1	Bookmark Dropdown
CLEAR					
Intel® Arria® (74)					
Intel® Cyclone® (74)					
Intel® Stratix® (52)	Intel® Advanced Link Analyzer Standard Edition Software Version 21.1 for Windows	684357	11/03/21	21.1	Bookmark Dropdown
Intel® MAX® (40)					

- "Intel® Quartus® Prime Lite Edition Design Software Version 21.1 for Windows"를 선택

Downloads

[Multiple Download](#)
[Individual Files](#)
[Additional Software](#)
[Copyright Licensed Source](#)

Multiple Download

Intel® Quartus® Prime Lite Edition Software (Device support included) ▼

Download Quartus-lite-21.1.0.842-windows.tar	Size: 5.6 GB SHA1: 8c33755ee8eac049392d506014c3c96ba3be37e7
---	--

What's Included?

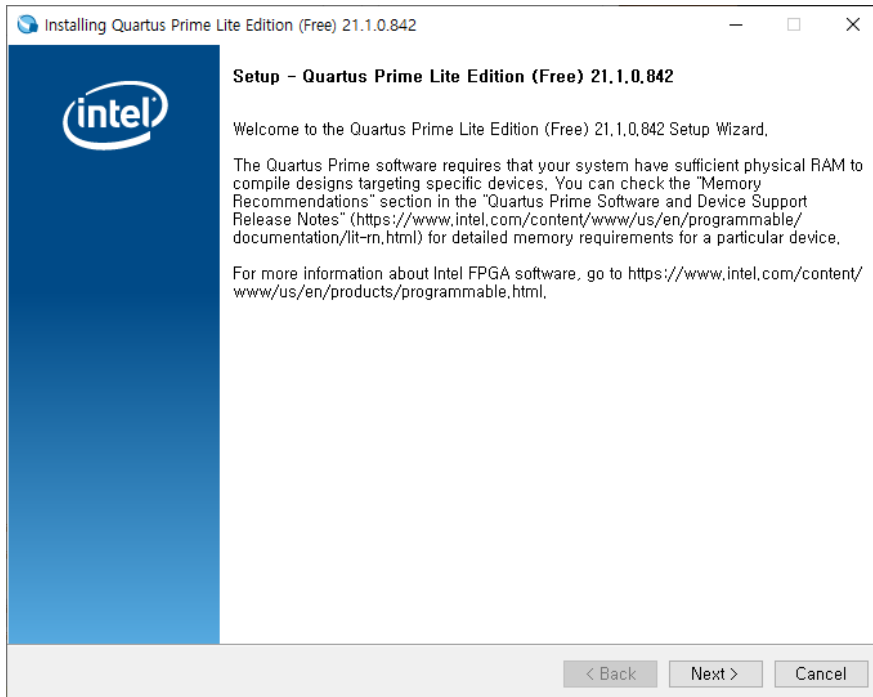
** Nios® II EDS on Windows requires Ubuntu 18.04 LTS on Windows Subsystem for Linux (WSL), which requires a manual installation.

** Nios® II EDS requires you to install an Eclipse IDE manually.

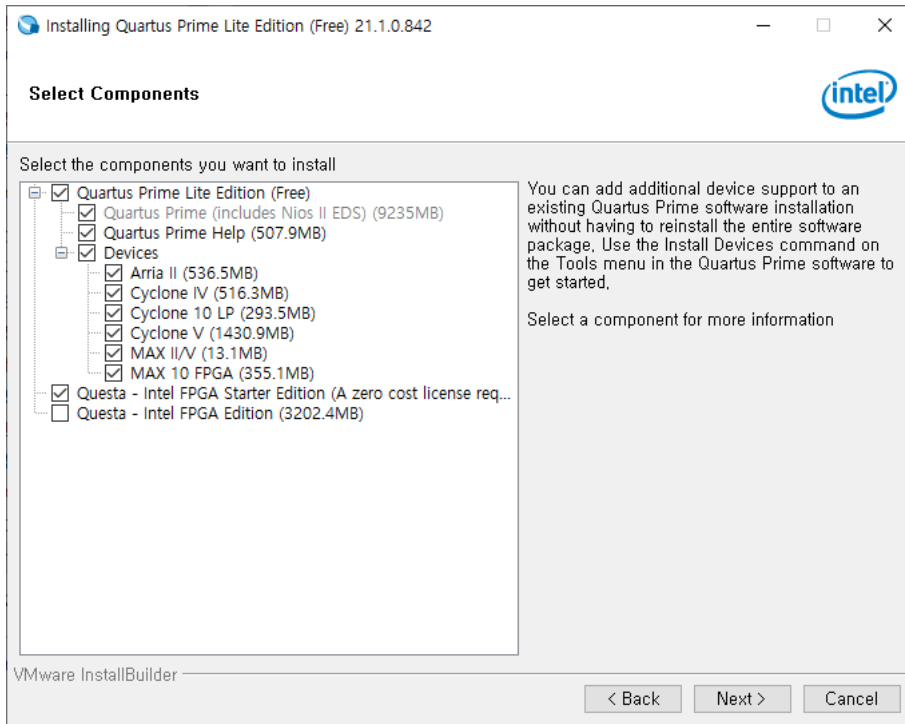
- 'Download'를 클릭하고 "Software License Agreement"에 동의한 후에 파일 저장장소를 지정하면 다운로드가 시작됨.

c. 프로그램 설치

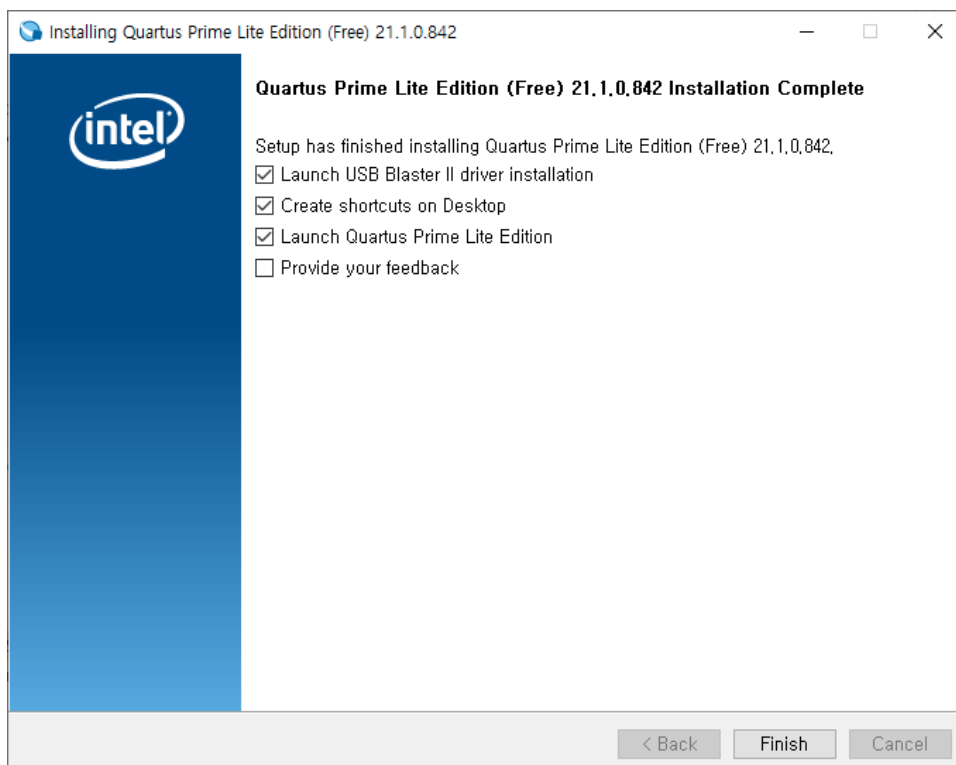
- 다운로드한 압축파일을 해제한 후에 "setup.bat"를 실행하여 프로그램을 설치 시작하고, license 에 동의하고 설치위치를 지정.

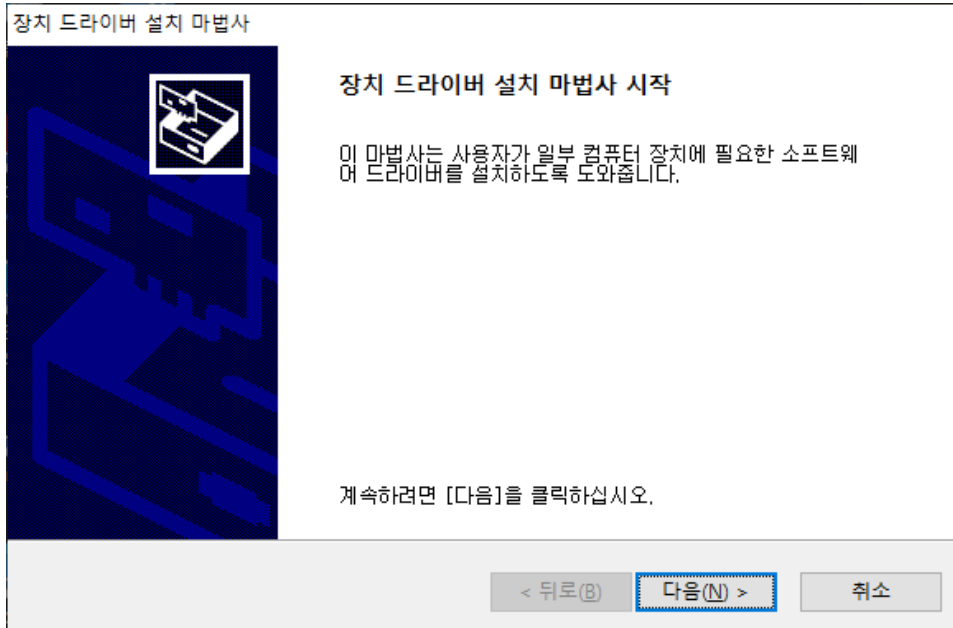


- 모든 디바이스가 선택됐지만 "Cyclone IV"를 사용하며, 설치공간을 줄이기 위해서 사용하지 않는 디바이스는 선택 해제를 해도 됨.
- 시뮬레이션을 사용하기 위해서는 "Questa-Intel FPGA Starter Edition"이 선택되어 있어야함.

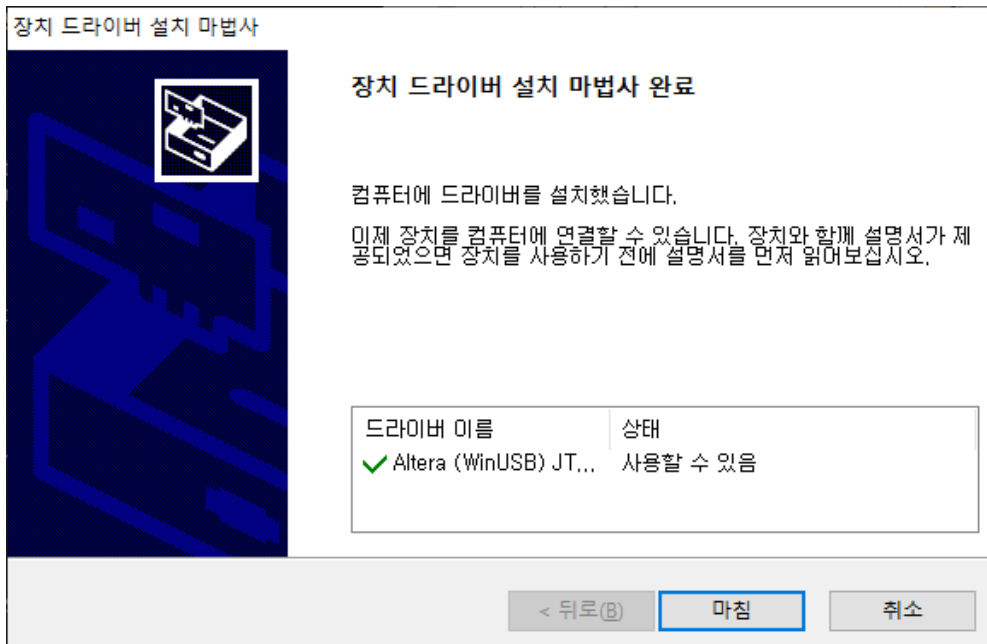


- 설치가 완료되면 장치 드라이버 설치를 시작함.





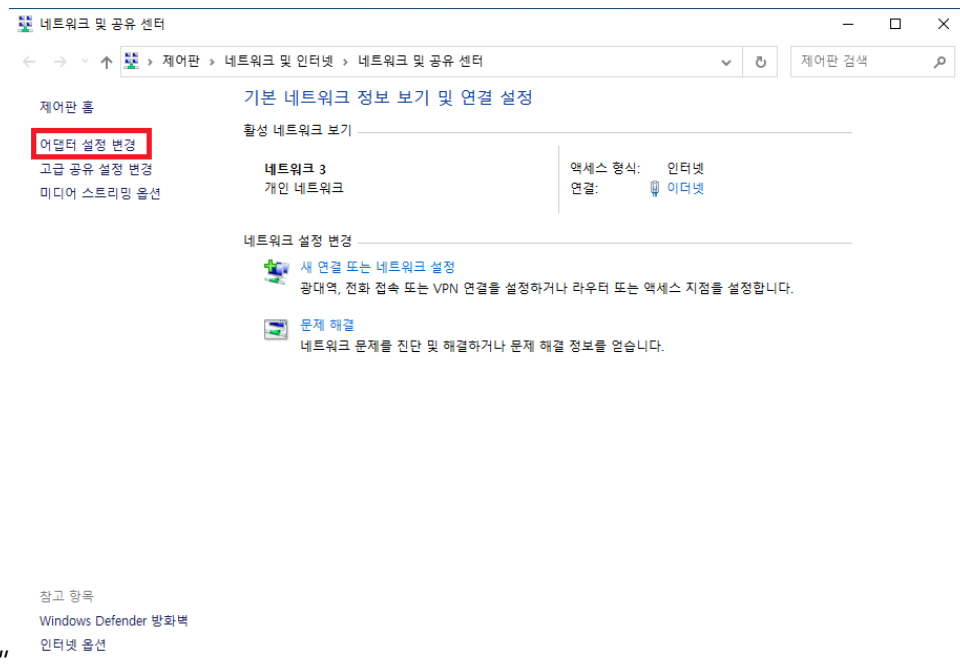
- 다음을 클릭하면 설치가 완료됨.



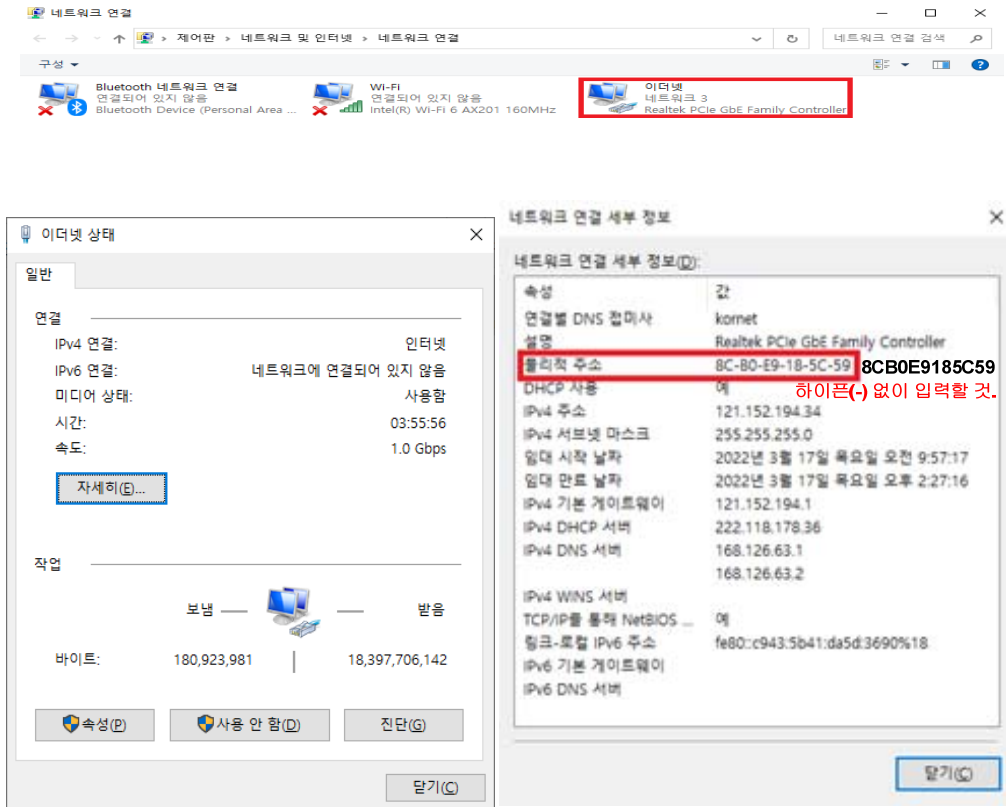
3. Questa Simulator를 사용하기 위한 라이선스 설치

a. 설치할 컴퓨터의 네트워크 카드 물리적 주소 찾기

- 시뮬레이터는 라이선스가 설치된 컴퓨터에서만 실행이 가능하며, 라이선스를 생성할 때 설치할 컴퓨터의 네트워크 카드의 물리적 주소를 이용해서 생성하기 때문에 먼저 네트워크 카드의 물리적 주소를 알아야 한다.
- 윈도우 버전마다 컴퓨터마다 네트워크 카드의 물리적 주소를 찾는 방법이 다를 수 있기 때문에 아래 방법대로 되지 않을 때 다양한 방법을 시도해야 한다. 특히 아래 방법에는 유선 네트워크 카드를 기준으로 설명된 것이며, 무선 랜 카드를 사용할 때에는 무선 랜 카드의 물리적 주소를 찾아야 한다.
- 바탕화면에 마우스를 올리고, 오른쪽 버튼을 누른 후에 "속성"을 클릭해서 "네트워크 및 공유센터" 화면을 연 후에 "어댑터 설정 변경"을 클릭한다.



- 컴퓨터에 연결된 네트워크 카드(이더넷 네트워크 3)를 더블 클릭하면 "이더넷 상태" 창이 뜨고, "자세히" 버튼을 클릭하면 "네트워크 연결 세부 정보"에서 네트워크 카드의 "물리적 주소"를 볼 수 있다.



b. 라이선스 받기

- 다시 Intel 홈페이지에서 로그인 후에 "Intel® FPGA Self-Service Licensing Center"에 접속한다.
- 라이선스 센터를 홈페이지에서 찾기가 쉽지 않기 때문에 URL <https://licensing.intel.com/psg/s/sales-signup-evaluationlicenses>를 직접 입력하여 접속한다.
- "Questa* -Intel® FPGA Starter Edition"을 선택, "# of Seats"를 1로 지정한 후에, 체크박스를 체크하고(첫 번째 체크박스는 필수) "Get License"를 클릭한다.

Product	# of Seats	Maintenance expiration	License expiration
<input type="radio"/> Intel® Quartus® II Software SW-Q...	1	2023-03-16	
<input checked="" type="radio"/> Questa*-Intel® FPGA Starter Editio...	1	2023-03-16	
<input type="radio"/> Intel® FPGA MAXPLUS2WEB		2023-03-16	
<input type="radio"/> Intel® FPGA IP PLS-WEB		2023-03-16	
<input type="radio"/> Intel® FPGA EVALUATION-LIC		2022-06-16	2022-06-14
<input type="radio"/> Intel® FPGA IP IP-NIOSVM		2023-03-16	

I have read and agree to the terms of use of this license as listed below.
 Maintenance for this license is valid for 12 months from the date you sign up for this license. [Terms of Use](#)
 Check this box if you don't want Intel to contact you for feedback. Your feedback helps us improve the product.

[Get License](#)

- "Questa*-Intel® FPGA Starter Edition"을 선택, "# of Seats"를 1 로 지정한 후에, 체크박스를 체크하고(첫 번째 체크박스는 필수) "Get License"를 클릭한다.
- 아래와 같이 창이 나오면 "Create a New Computer"를 클릭한다. 만일 이 컴퓨터에서 라이선스를 생성한 적이 있으면 "Assign an Existing Computer"를 클릭해서 컴퓨터의 이름으로 검색을 한 후에 "Generate" 버튼을 클릭하면 되지만, 여기에서는 처음 라이선스를 생성한다고 가정한다.

Generate License

Create a New Computer

+New computer

Assign an Existing Computer

Enter Computer Name/Primary Computer ID

Search Host Information...

[Cancel](#) [Generate](#)

Create Computer

* Computer Name: roshOffice

* Computer Type: NIC ID

* License Type: FIXED

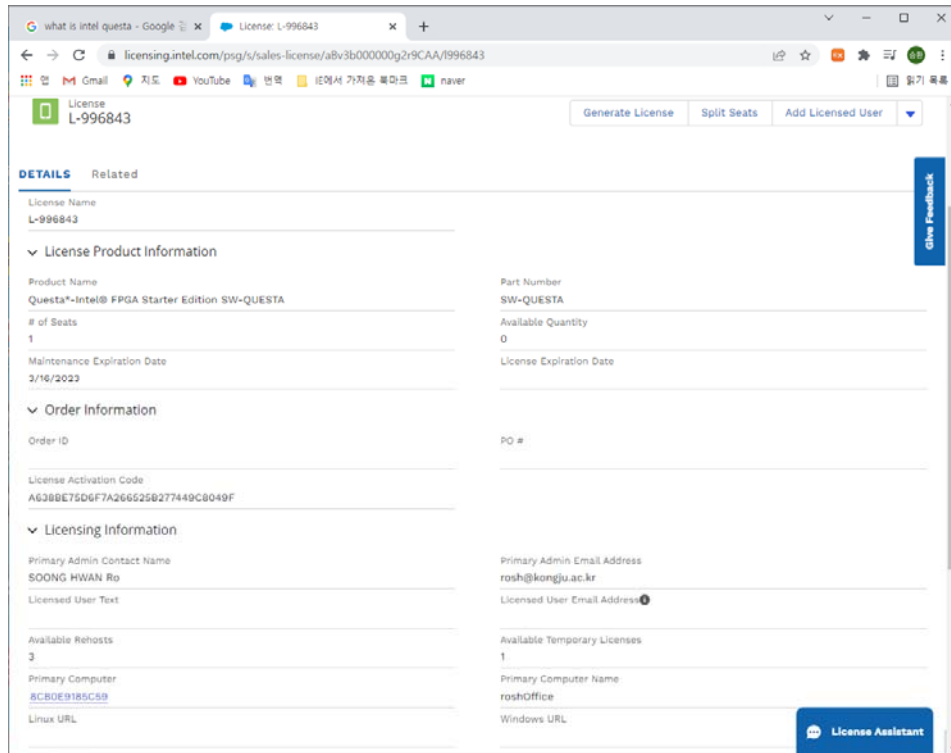
Companion Computer ID 1

Companion Computer ID 2

* Primary Admin: SOONG HWAN Ro

[Cancel](#) [Generate License](#)

- "Questa*-Intel® FPGA Starter Edition"을 선택, "# of Seats"를 1 로 지정한 후에, 체크박스를 체크하고(첫 번째 체크박스는 필수) "Get License"를 클릭하면 생성된 라이선스에 대한 정보가 출력되고, 라이선스 파일이 이메일로 전송된다.
- 이메일로 전송된 라이선스 파일(LR-074286_License.dat)을 Quartus 가 설치된 경로에 저장을 한다. (C:\wintelFPGA_liteW21.1\licenses\LR-074286_License.dat)



c. 컴퓨터에 라이선스 환경 설치하기(LM_LICENSE_FILE 환경 변수 설정)

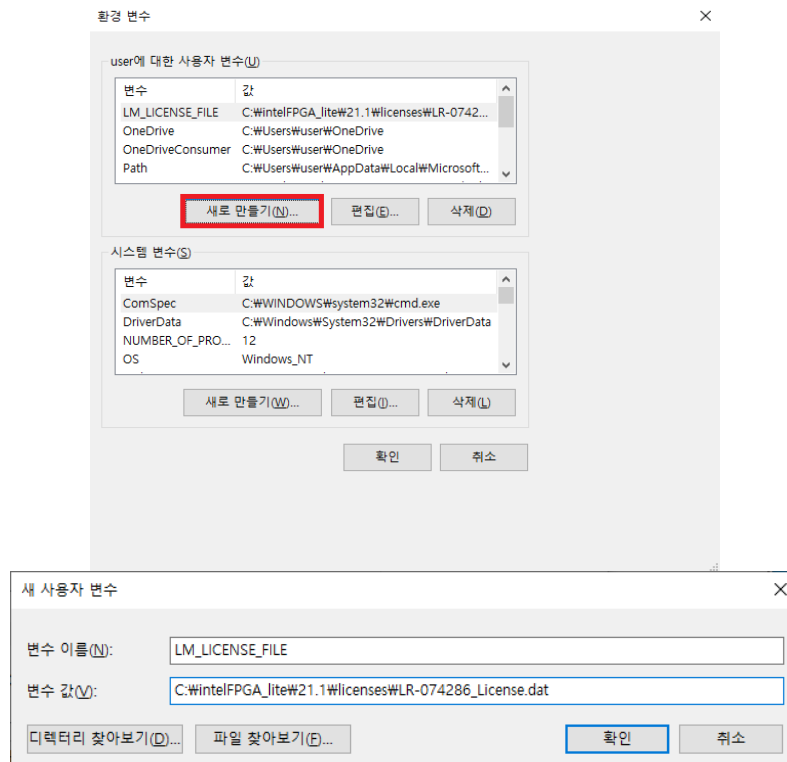
- 라이선스를 받은 후에 설치된 컴퓨터에서 라이선스 환경을 설정해야 한다. 환경변수를 지정하는 화면이 윈도우가 업데이트 되면서 다를 수도 있다.
- 바탕화면의 "내 컴퓨터"에 마우스를 커서를 두고 마우스 우측 버튼을 클릭하여 "속성"을 클릭한다.



- "시스템 속성"에서 환경변수를 클릭하면 "환경 변수" 창이 뜬다.



- "새로 만들기"를 클릭하면 "새 사용자 변수"에서 "변수 이름"에 "LM_LICENSE_FILE", "변수 값"에 라이선스 파일이 설치된 경로를 아래와 같이 입력한다.



4. Quartus Prime Lite 소프트웨어 사용

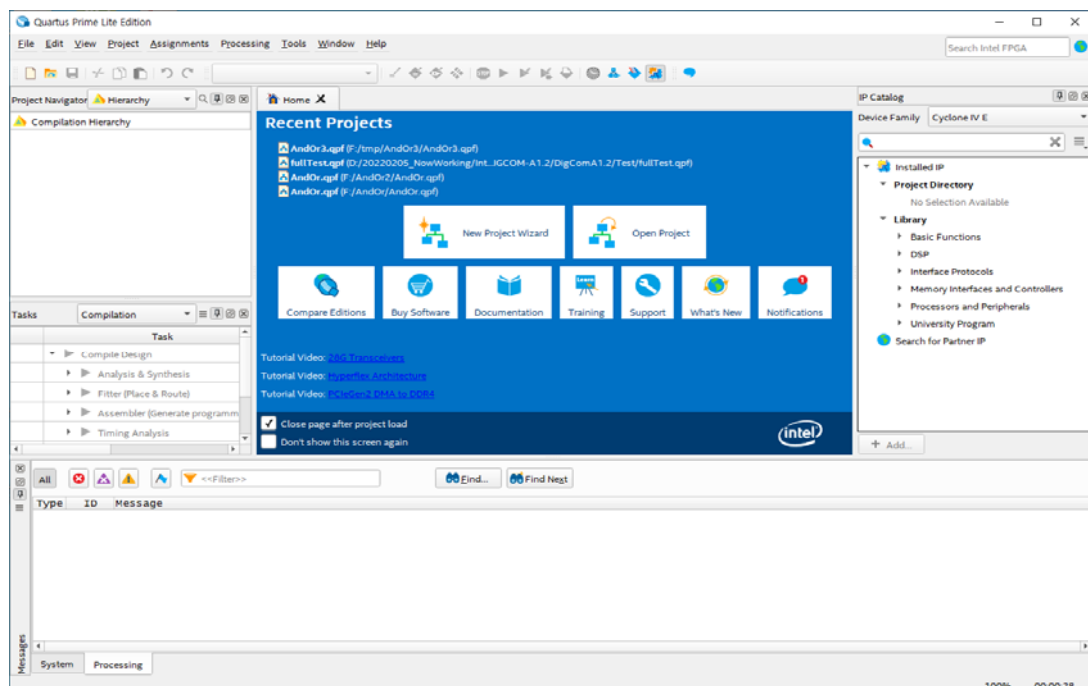
Verilog나 VHDL로 새로 설계하려면 Quartus Prime Lite Software에서 프로젝트를 생성해야 한다. 설계를 새로 시작할 때는 새로운 프로젝트를 생성하지만, 기존 프로젝트를 계속해서 진행할 때는 프로젝트를 열어해서 시작한다. 새로운 프로젝트를 시작하는 경우와 기존의 프로젝트를 열어해서 설계하는 방법, 그리고 코드를 작성한 후 컴파일하는 과정에 대해 알아보자.

프로젝트는 설계하기 위한 설계 작업 단위이며, 이 프로젝트 내에서 설계, 컴파일, 시뮬레이션 및 FPGA configuration이 이루어진다.

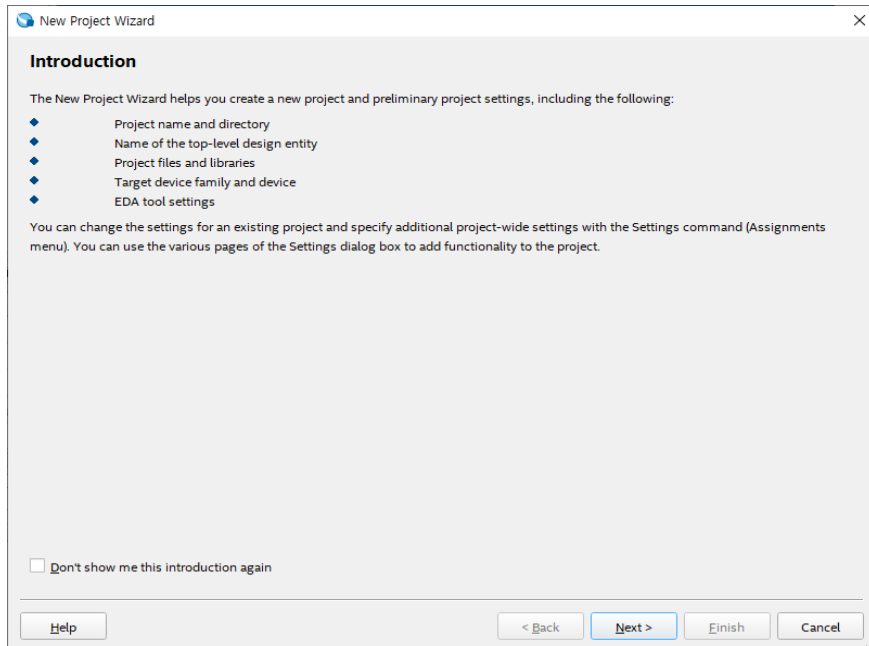
4.1 프로젝트 생성과 컴파일

a. 새 프로젝트 생성(Create a Project)과 코드 작성

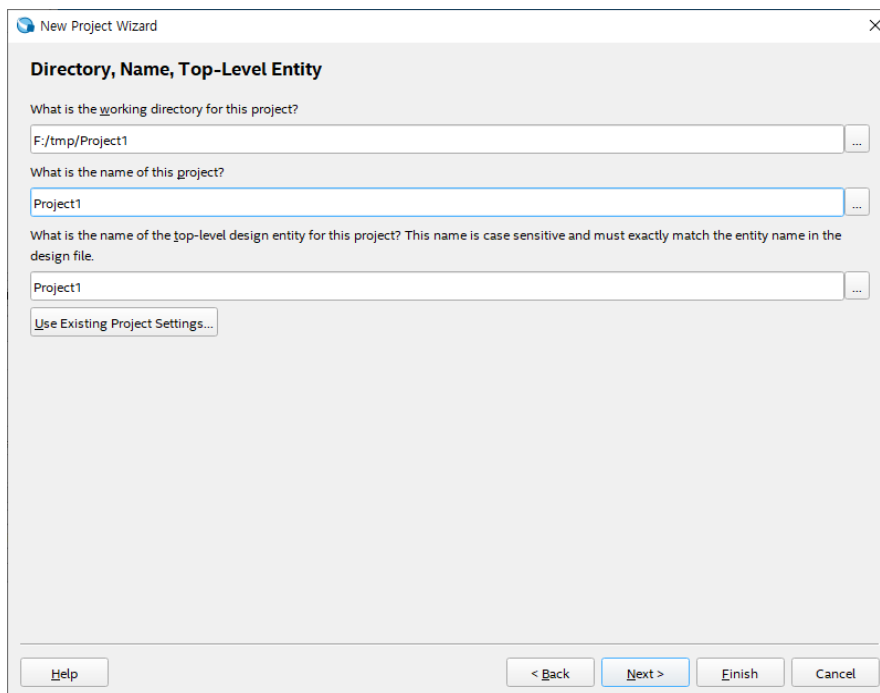
- Verilog 나 VHDL 로 새로 설계하려면 Quartus Prime Design Software 에서 프로젝트를 생성해야 한다. 프로젝트는 설계하기 위한 설계 작업 단위이며, 이 프로젝트 내에서 설계, 컴파일, 시뮬레이션 및 FPGA configuration 이 이루어진다.
- 우선 프로젝트를 만들기 위해 Quartus Prime Lite Software 를 실행하고, 초기 화면에서 [File]-[New Project Wizard] 메뉴를 선택하거나 홈 Home 화면의 [New Project Wizard] 버튼을 클릭한다.



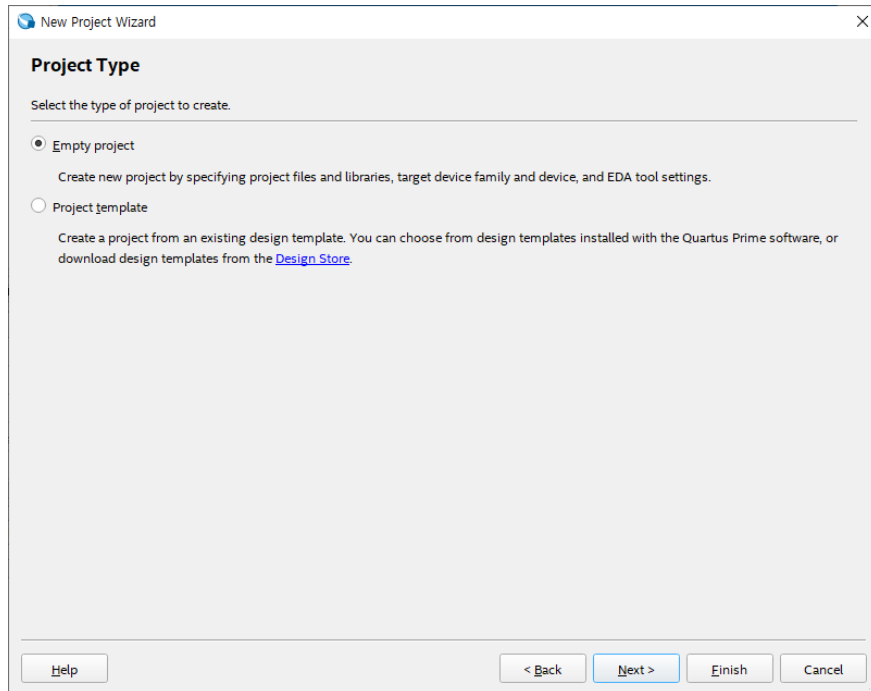
- New Project 마법사에 대한 간략한 소개가 나온다. 새 프로젝트를 계속 생성하려면 [Next] 버튼을 클릭한다.



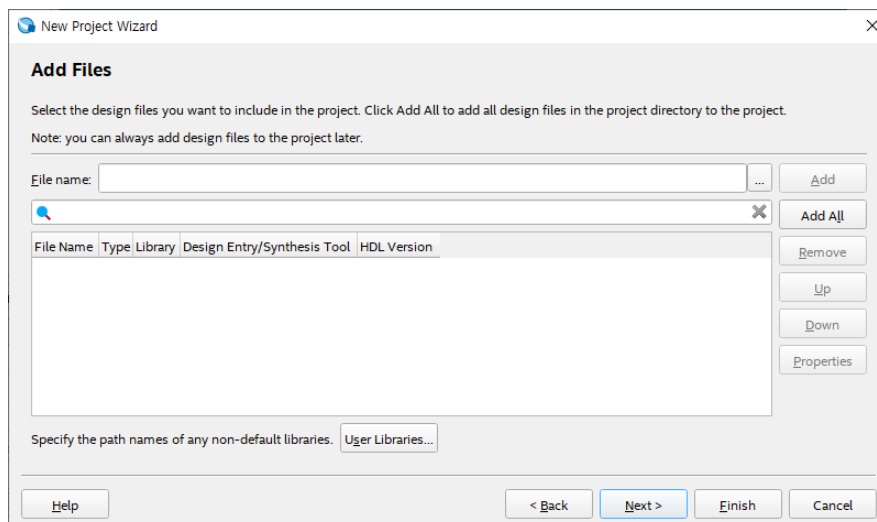
- 프로젝트의 작업 폴더와 프로젝트 이름 Project Name 을 입력한다. 이때 작업 폴더 이름과 프로젝트 이름을 일치시킬 필요는 없지만, 프로젝트 이름과 top-level design entry name 은 반드시 일치시켜야 한다. 입력을 마치면 [Next] 버튼을 클릭한다.



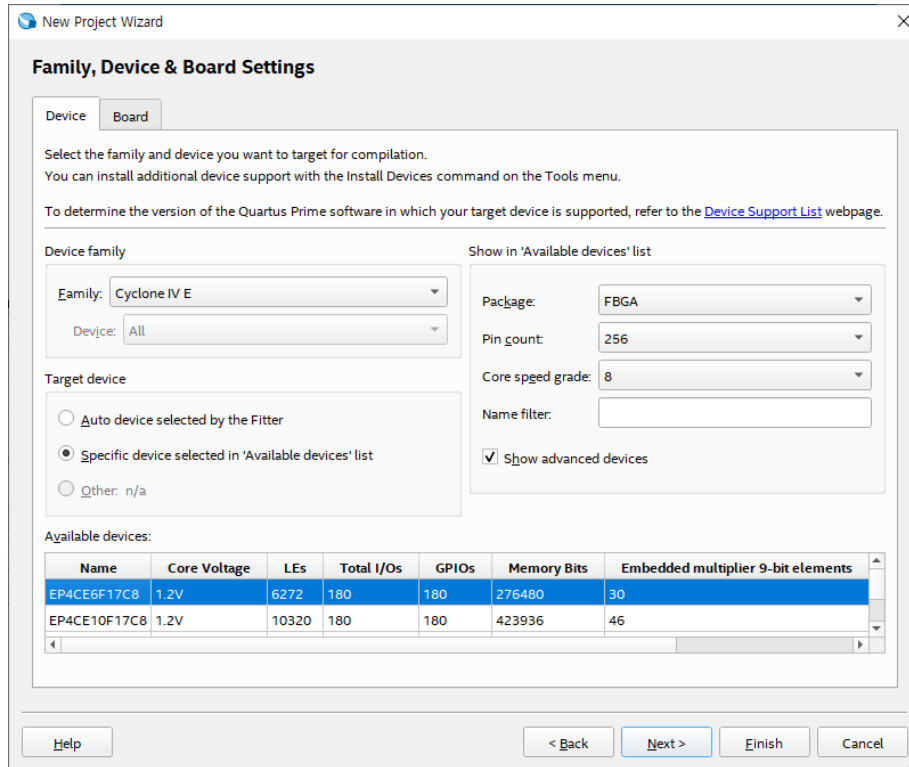
- 프로젝트 타입 Project Type 을 지정한다. 처음 시작하는 프로젝트이므로 'Empty project'를 선택하고 [Next] 버튼을 클릭한다.



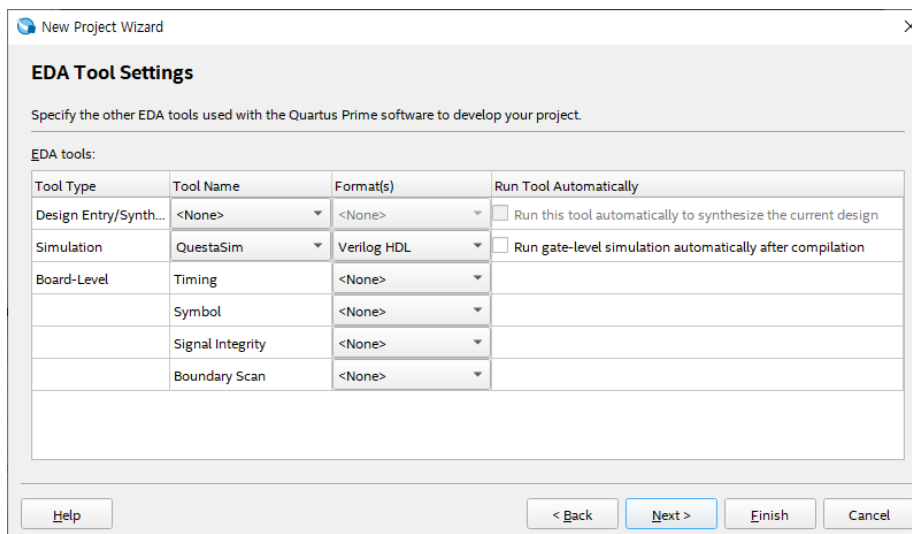
- 프로젝트에 포함시킬 디자인 파일을 선택한다. 일반적으로 처음 설계를 시작할 때는 포함시킬 디자인 파일이 없으므로 [Next] 버튼을 클릭한다. 만약 디자인 파일이 있을 때는 버튼을 눌러 직접 파일을 선택한 후 [Next] 버튼을 클릭한다.



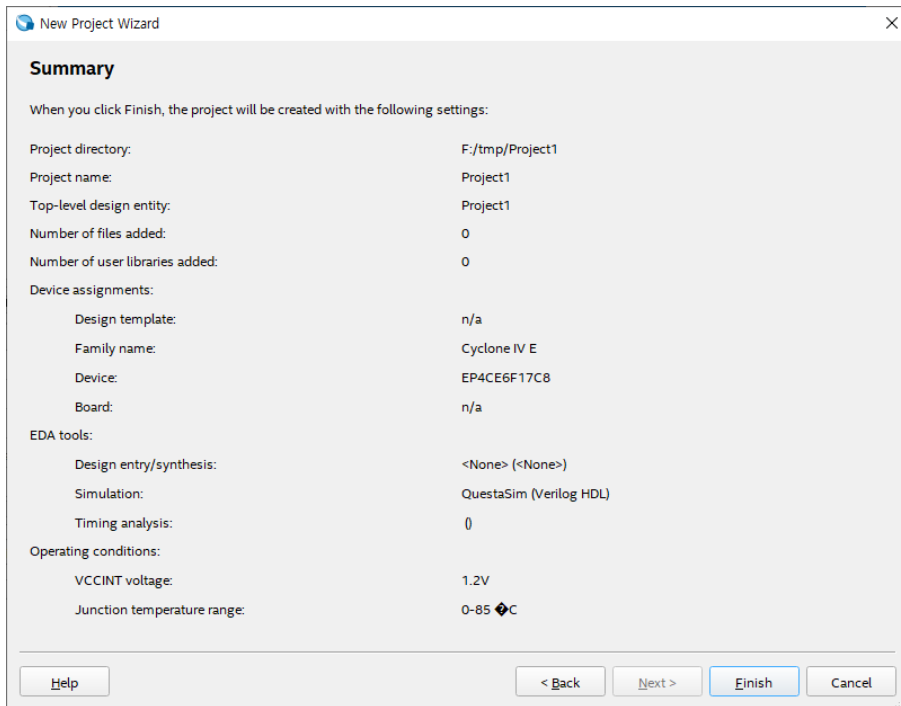
- 프로젝트에서 사용할 디바이스를 선택한다. Family 는 'Cyclone IV E'를 선택하고, 사용 가능한 디바이스 목록을 추리기 위한 조건으로, Package 는 'FBGA', Pin count 는 '256', Core Speed grade 는 '8'을 선택한다. 하단에 있는 사용 가능한 디바이스 목록 중 'EP4CE6F17C8'을 선택하고 [Next] 버튼을 클릭한다.



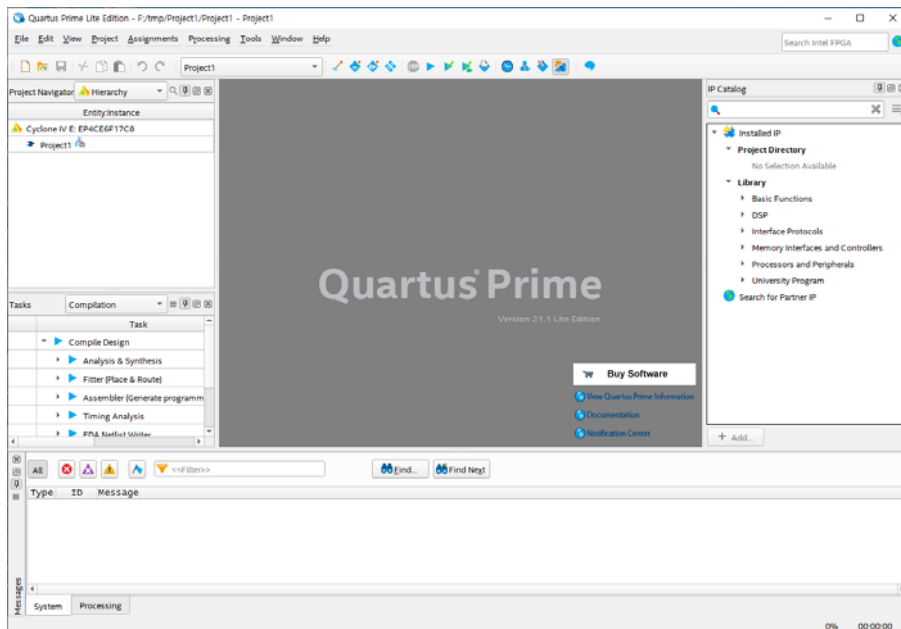
- 프로젝트에서 사용할 EDA Tool 을 설정한다. 시뮬레이션을 위해서 "Tool Name"은 "QuestaSim", "Format(s)"은 "Verilog HDL"로 선택한다.



- 지금까지 선택한 프로젝트 설정을 확인하고 "Finish" 버튼을 클릭한다.

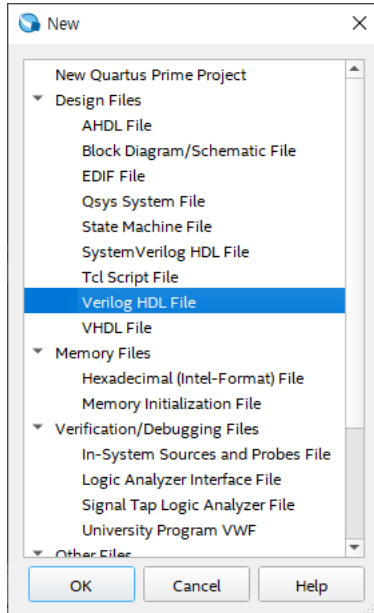


- 프로젝트 생성이 완료되면 제목 표시줄에 프로젝트 경로와 이름이 나타난다.

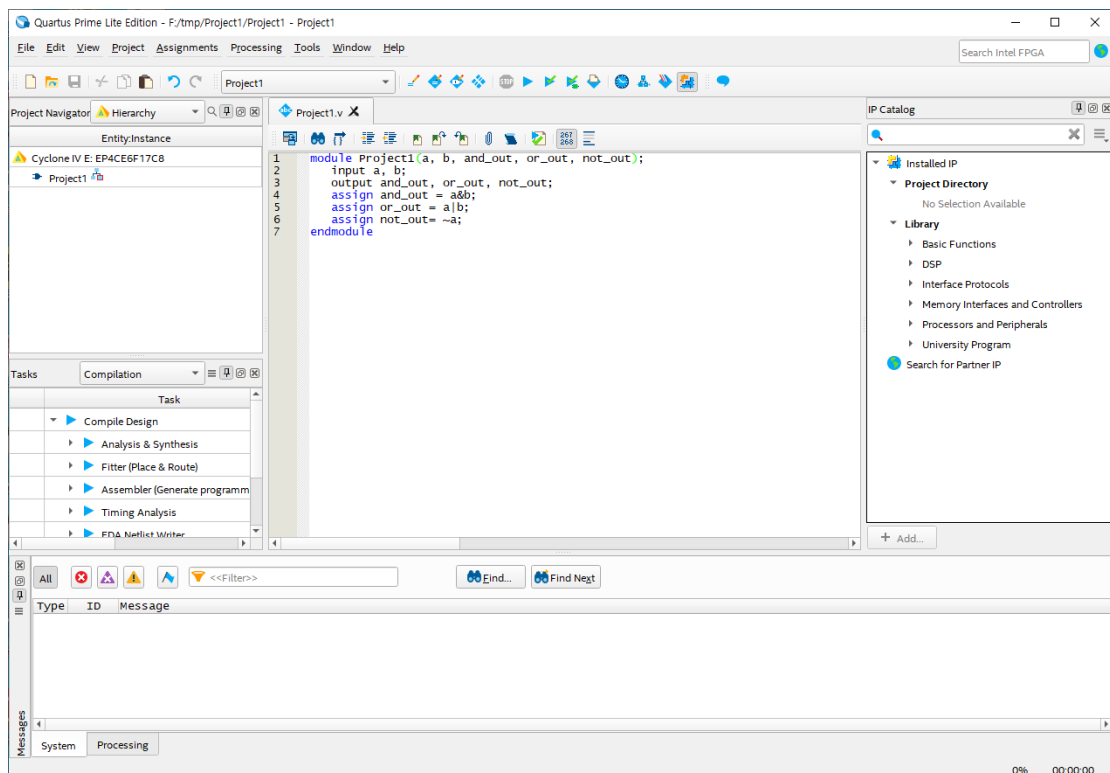


- Verilog 또는 VHDL 로 설계하려면 코드 파일을 생성해야 한다. [File]-[New] 메뉴를 클릭하거나 [New] 아이콘을 클릭한다. 그러면 프로젝트에서 사용할

설계 파일의 종류를 선택할 수 있다. 이 예제에서는 Verilog 를 사용해서 설계하므로 'Verilog HDL File'을 선택하고 [OK] 버튼을 클릭 한다. VHDL 로 설계할 때는 'VHDL File'을 선택하고 [OK] 버튼을 클릭한다.



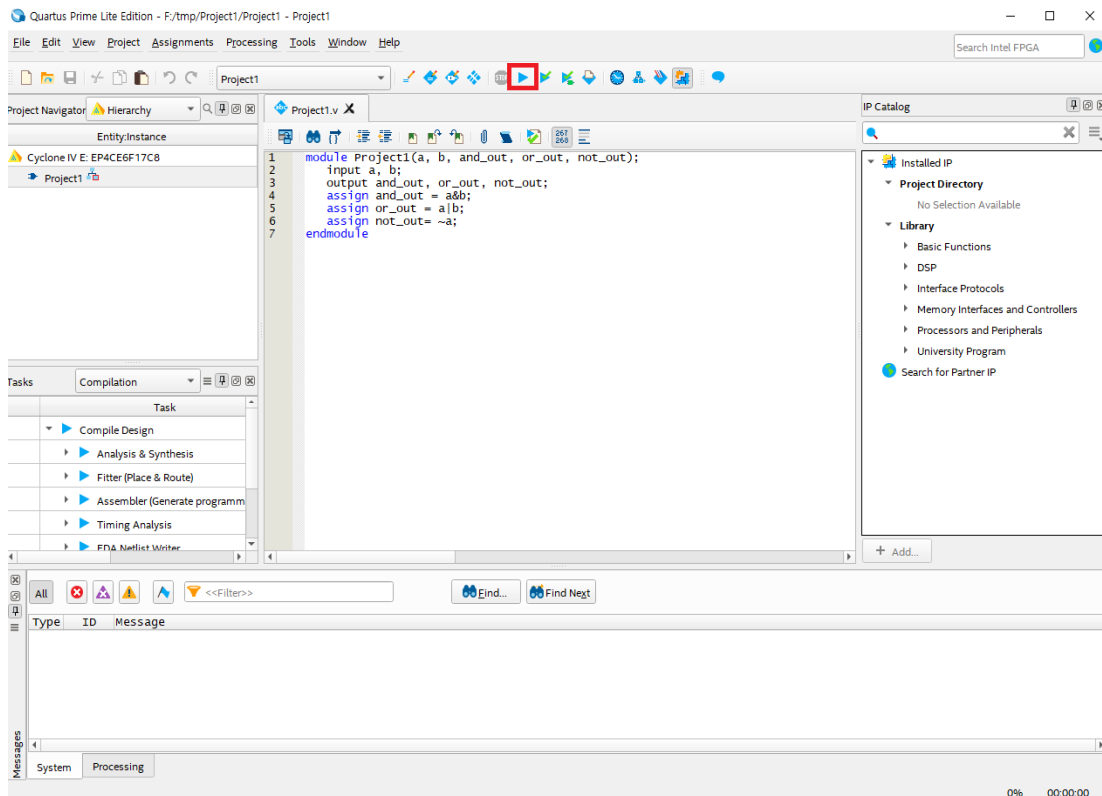
- 코드를 작성한 후 저장한다. 이 때 코드의 이름은 반드시 프로젝트 이름과 동일하게(Project1) 저장해야 한다.

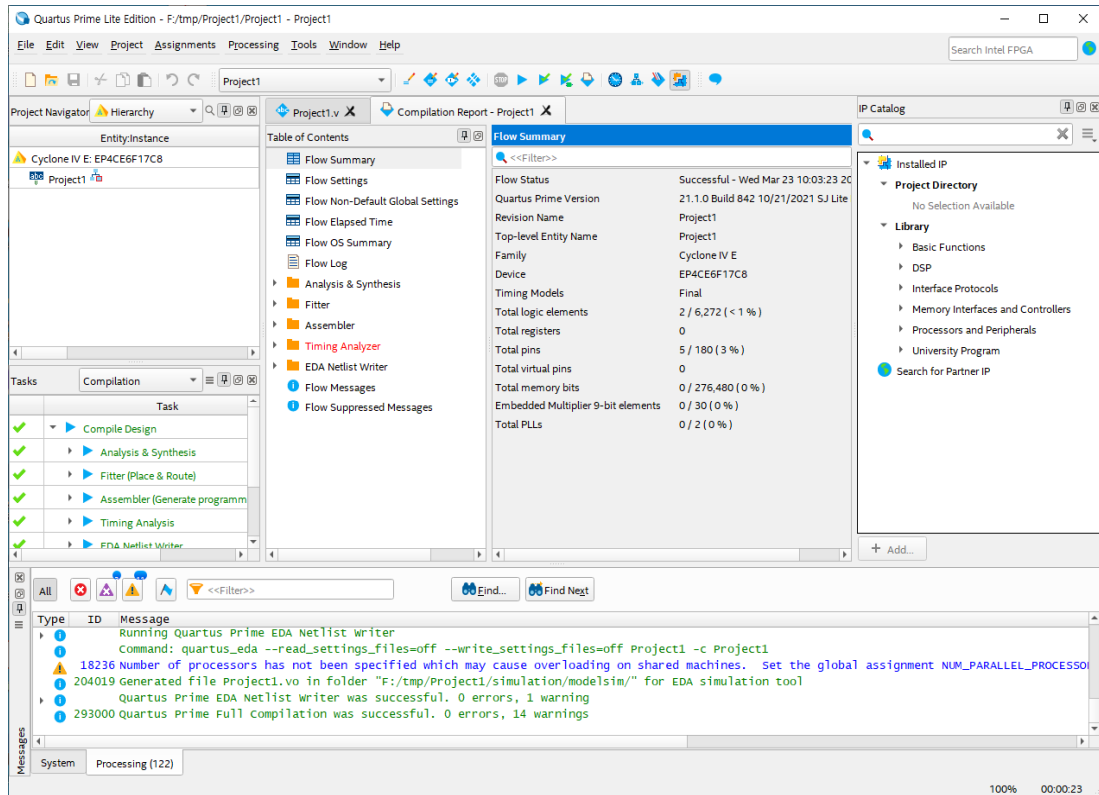


- 프로젝트를 생성하고 저장 한 후에 프로젝트를 이어서 설계하거나 수정하려면 기존의 프로젝트를 열어야 한다. Quartus Prime Design Software 초기 화면에서 [File]-[Open Project] 메뉴를 선택하고, 오픈하려는 프로젝트 파일(Project1.qpf)을 선택해 기존 프로젝트를 오픈해서 기존의 프로젝트를 이어서 설계한다.

b. 코드(Verilog, VHDL) 컴파일(Compile)

- 코드 작성을 마치면 컴파일한 후 합성 Synthesis 해야 한다. 합성이란, 동작 Behavior 으로 표현되었거나 레지스터 전송 단계 RTL: Register Transfer Level 로 표현된 회로의 추상화 형태 Abstract Form 를 논리 게이트 Logic Gate 로 구현하는 과정이다. 컴파일하려면 [Processing]-[Start Compilation] 메뉴를 클릭하거나 [Start Compilation] 단축 아이콘을 클릭하여 직접 컴파일한다.



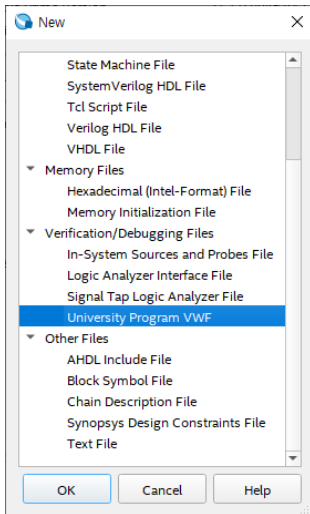


4.2 시뮬레이션

시뮬레이션 Simulation은 Verilog 또는 VHDL로 설계한 회로를 디버깅할 수 있는 가장 좋은 방법이다. 시뮬레이션하지 않고 FPGA에 다운로드하여 실행할 수도 있지만, 제대로 동작하지 않을 때는 디버깅이 쉽지 않으므로 많은 시간만 소모된다. 따라서 시뮬레이션으로 설계를 검증한 후 FPGA에서 실행하는 것이 가장 확실한 방법이다. Intel-Altera에서는 VWF(Vector Waveform Form)을 사용하는 시뮬레이션 도구를 제공하고 있으며, 초보자들이 사용하기에 편한 방법이다. 시뮬레이션은 입력 파형을 지정하고 시뮬레이션을 수행한 후 출력 파형을 분석해야 한다.

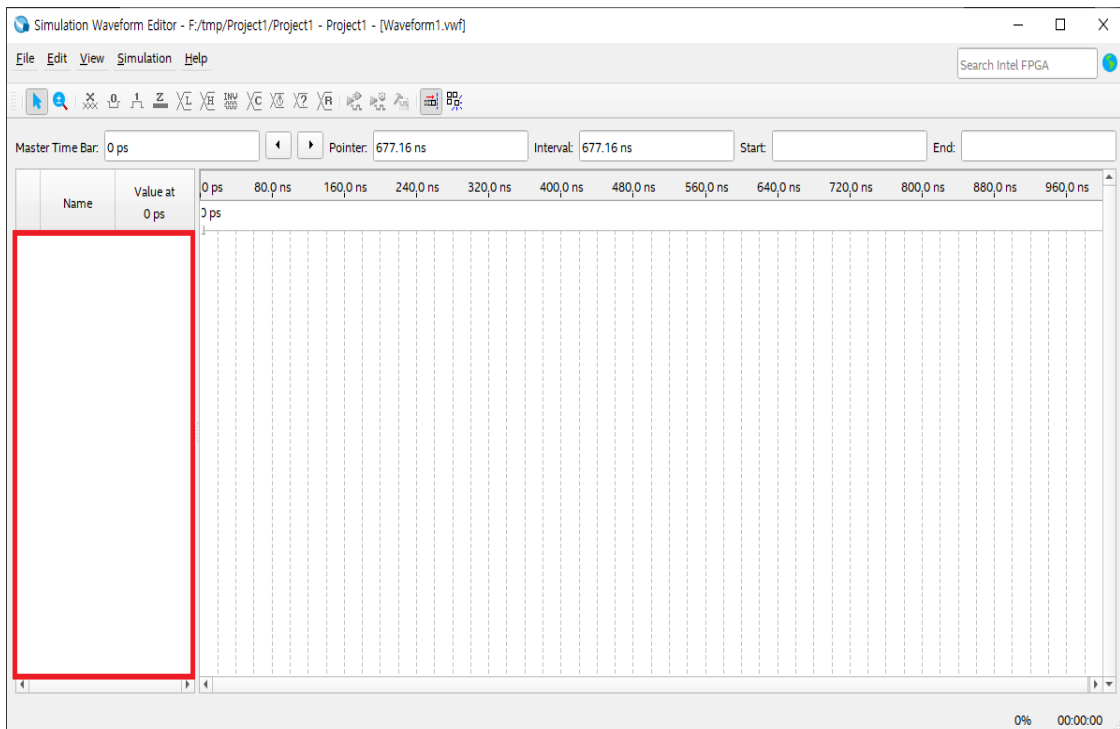
a. 시뮬레이션 입력 파형 지정

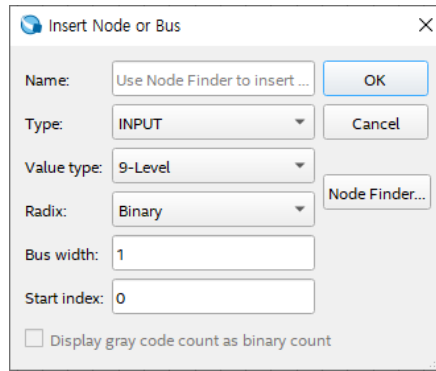
- 컴파일 후 시뮬레이션의 입력 파형을 지정하기 위해 [File]-[New] 메뉴를 클릭한다. 입력 파형 중 'University Program VWF'를 선택하고 [OK] 버튼을 클릭한다



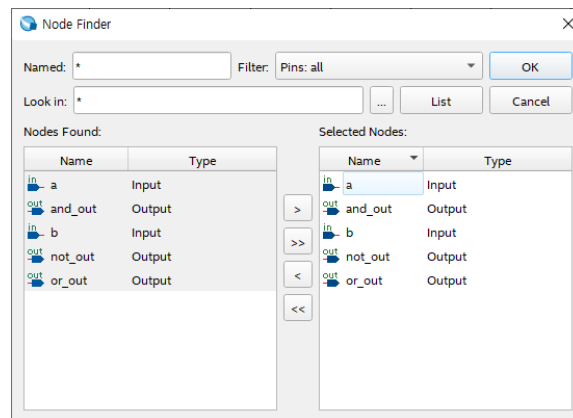
b. 입출력 포트 추가

- Simulation Waveform Editor 창이 나타나면, 입력 파형을 지정하기 위해 VWF 파일의 입출력 신호를 입력해야 한다. 먼저 입출력 포트를 찾기 위해서는 화면의 왼쪽 포트/노드 목록이 나타난 창에서 마우스 오른쪽 버튼을 클릭한 후 [Insert Node or Bus...] 메뉴를 선택하면 [Insert Node or Bus] 화면이 나온다.



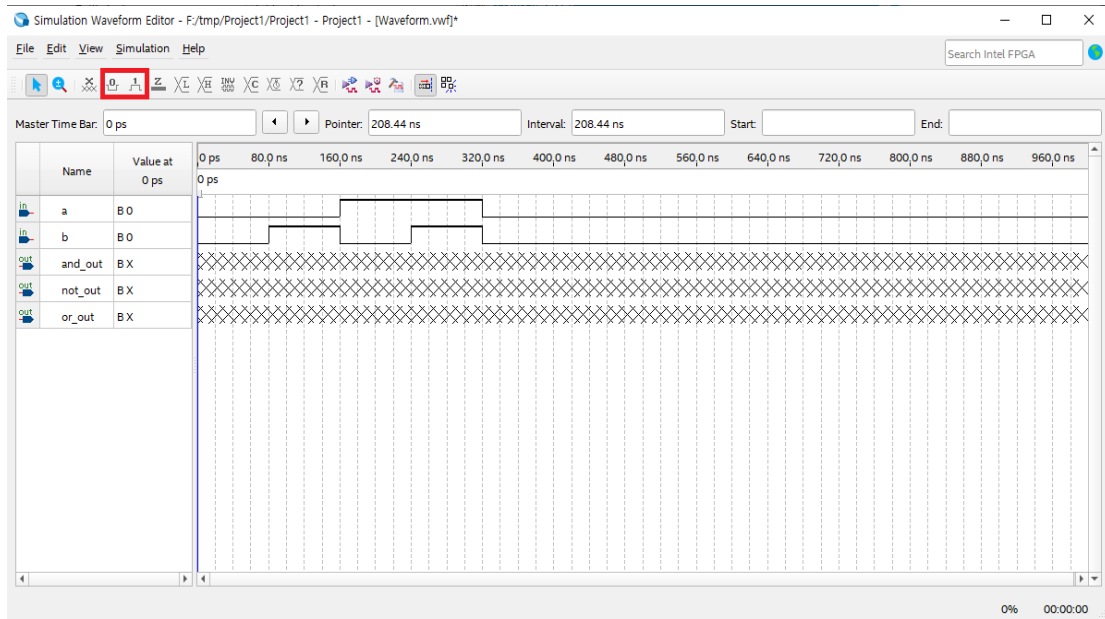


- Insert Node or Bus 창에서 [Node Finder...] 버튼을 클릭하면 Node Finder 창이 나타난다. Filter:에서 Pins: all을 선택한 후 [List] 버튼을 클릭하면 Verilog 또는 VHDL 설계에서 사용되는 입출력 단자 이름이 나열된다. Nodes Found:에서 모든 노드를 선택한 후 ">>" 버튼을 클릭해 Selected Nodes:로 이동시키고 [OK] 버튼을 클릭한다. Insert Node or Bus 창에서도 [OK] 버튼을 클릭하여 창을 닫는다.



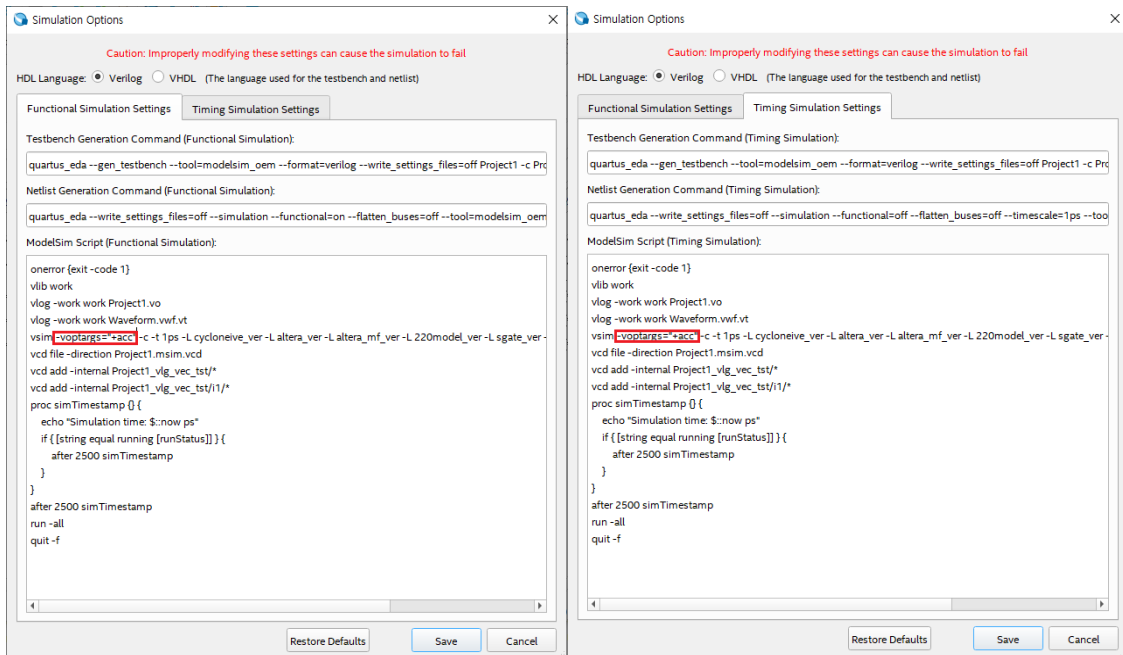
c. **입력 파형 지정**

- 노드 추가가 완료되면 노드 이름이 표시된 시뮬레이션 화면이 나타난다. 이때 시뮬레이션 파일의 이름은 'Waveform.vwf'로 저장해야 한다. 입력 파형을 지정하기 위해서는 마우스를 드래그하여 입력 신호 범위를 지정한 후, 신호 레벨 버튼을 클릭해 입력신호 값을 정한다.



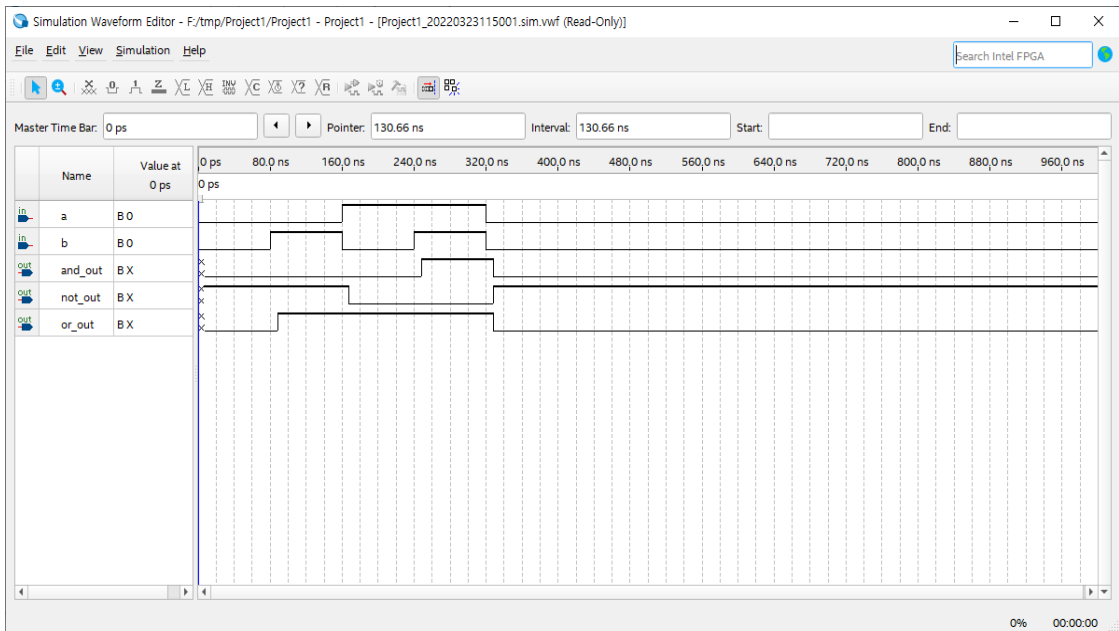
d. 시뮬레이션 설정

- 시뮬레이션 설정을 하기 위해서 화면에서 [Simulation]=>[Simulation Settings]를 클릭하면 [Simulation Options] 화면이 뜬다. 이 화면에서 [Functional Simulation Settings]와 [Timing Simulation Settings] 탭에서 [-novopt] 옵션을 [-voptargs="+acc"]으로 각각 수정하고 저장한다.



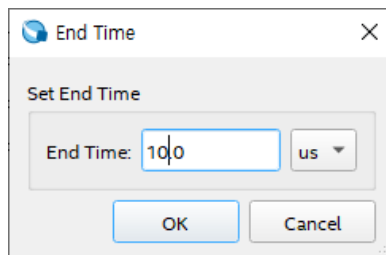
e. **시뮬레이션**

- Simulation Waveform Editor의 Simulation 메뉴에는 [Run Timing Simulation]과 [Run Functional Simulation]이 있다. [Functional Simulation]은 논리 게이트의 지연 시간을 고려하지 않은 시뮬레이션으로, 논리 결과만 보여 준다. 반면에 [Timing Simulation]은 논리 게이트의 지연 시간까지 반영한 결과를 보여 주므로, 입력 파형이 바뀔 때 약간의 지연이 발생한 후 결과 값이 나타난다. Simulation Waveform Editor에서 [Simulation]-[Run Timing Simulation] 메뉴를 클릭하거나 단축 아이콘 버튼을 클릭하면 시뮬레이션이 진행되면서 그림과 같이 시뮬레이션 결과가 나온다.



f. **시뮬레이션 시간 변경**

- 기본적인 시뮬레이션 시간은 1usec이지만, [Edit]-[Set End Time] 메뉴를 클릭해서 시뮬레이션 시간을 변경할 수 있다.

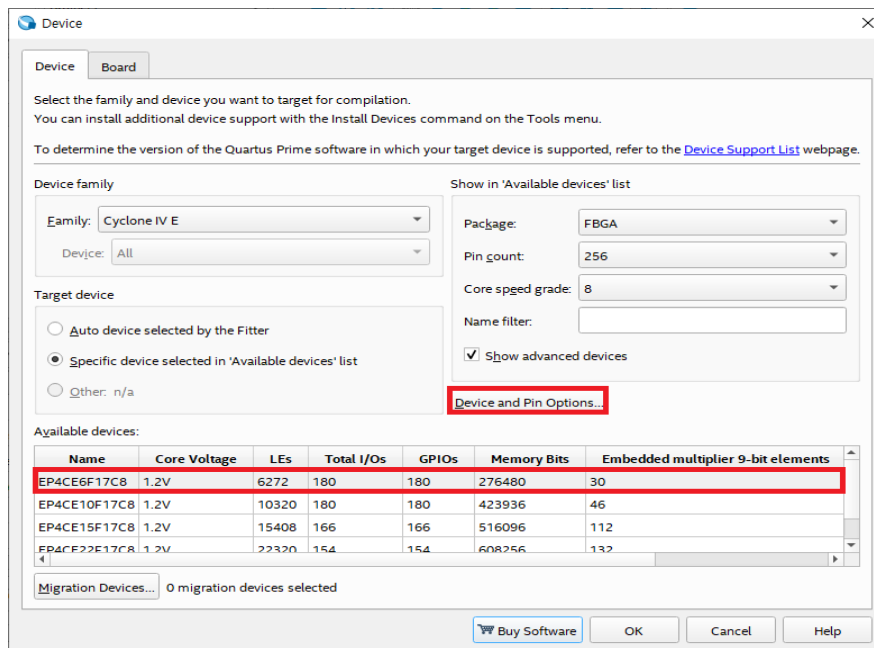


4.3 디바이스와 핀 할당(Device and Pin Assignment)

컴파일하여 시뮬레이션했을 때 결과가 정상적이면 DIGCOM-A1.2의 FPGA에 다운로드한 후 실행해야 한다. FPGA에 다운로드하려면 디바이스의 종류를 선택하고 핀을 할당해야 한다.

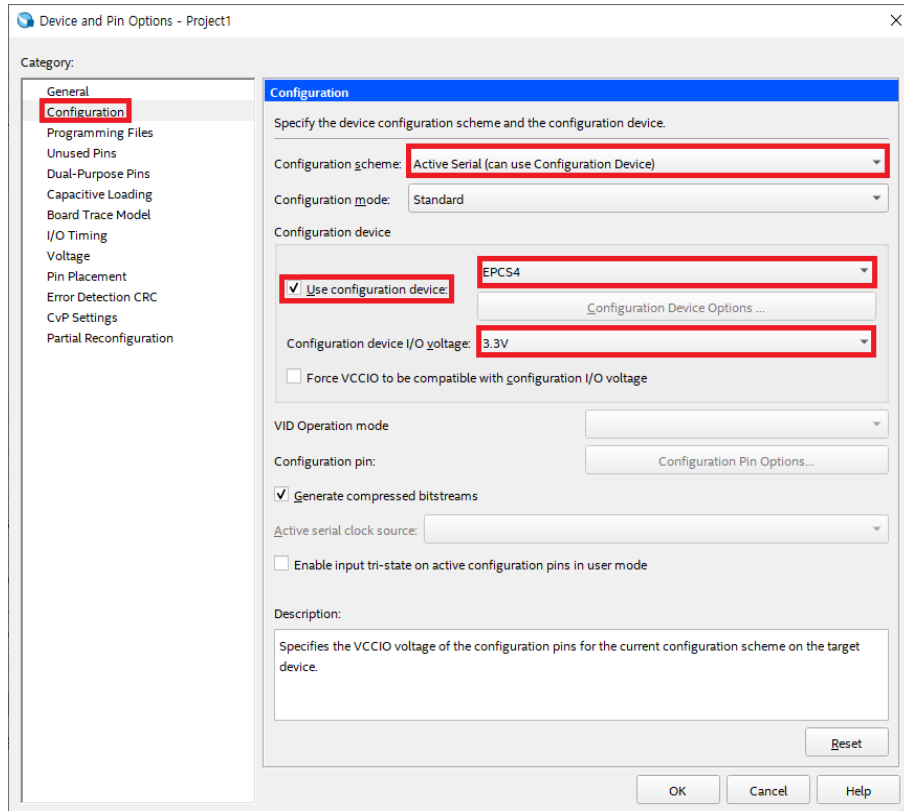
a. 디바이스 종류 선택

- DIGCOM-A1.2에서는 Cyclone IV EP4CE6F17C8 디바이스를 사용하므로 [Assignments] → [Device] 메뉴에서 Cyclone IV EP4CE6F17C8을 선택한다. 디바이스는 프로젝트를 생성할 때 지정을 했기 때문에 제대로 선택됐는지 확인한 후 configuration device를 지정하기 위해서 [Device and Pin Options...] 버튼을 클릭한다. FPGA는 전원이 off되면 다운로드 된 설계 이미지가 지워지며, Configuration device는 전원이 꺼져도 설계 이미지를 저장하기 위해서 사용된다.



b. 디바이스 옵션 설정

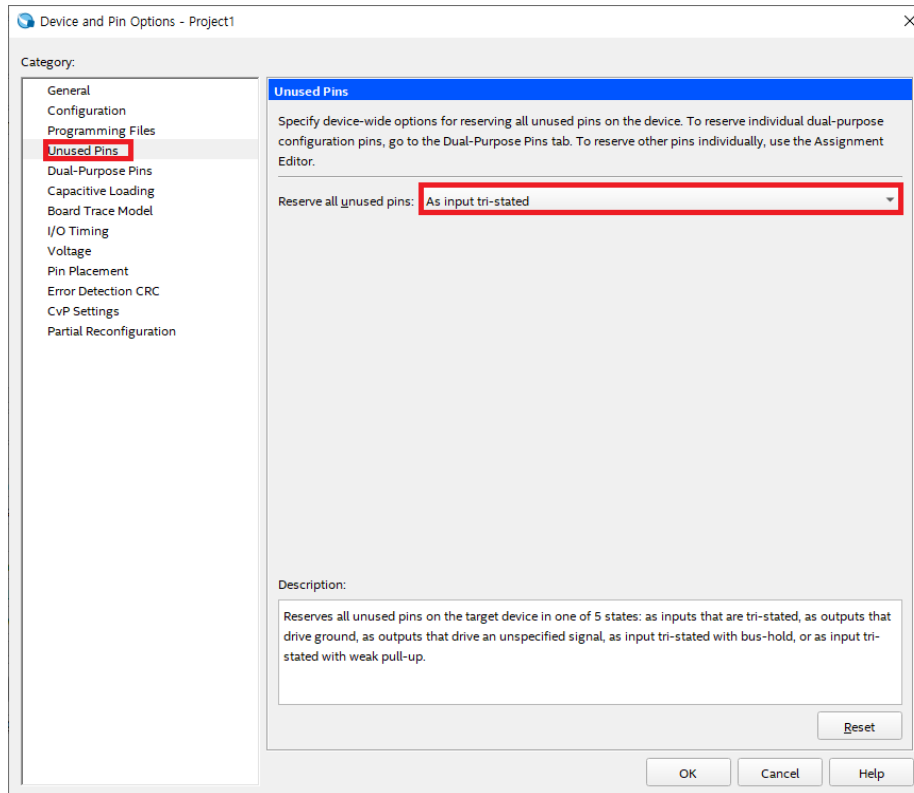
- Device and Pin Options 창이 나타난다. [Category]에서 'Configuration'을 선택한 후 Configuration scheme:에서 'Active Serial(can use Configuration Device)'을 선택한다. 'Use configuration device'를 체크하고 configuration device는 'EPCS4'로, configuration device I/O voltage는 '3.3V'로 설정한다.



- Cyclone 디바이스는 휘발성이므로 전원이 꺼지면 데이터가 보존되지 않는다. 따라서 데이터를 저장하기 위해 configuration 디바이스 EPCS4를 사용해야 한다. 여기서 configuration 디바이스란, 컴파일되어 생성되는 pof Programmable Object File가 저장되는 디바이스를 말한다. 이 디바이스는 전원이 꺼져도 데이터가 지워지지 않으며, 전원이 켜지면 저장된 데이터를 Cyclone 디바이스로 configure한다.

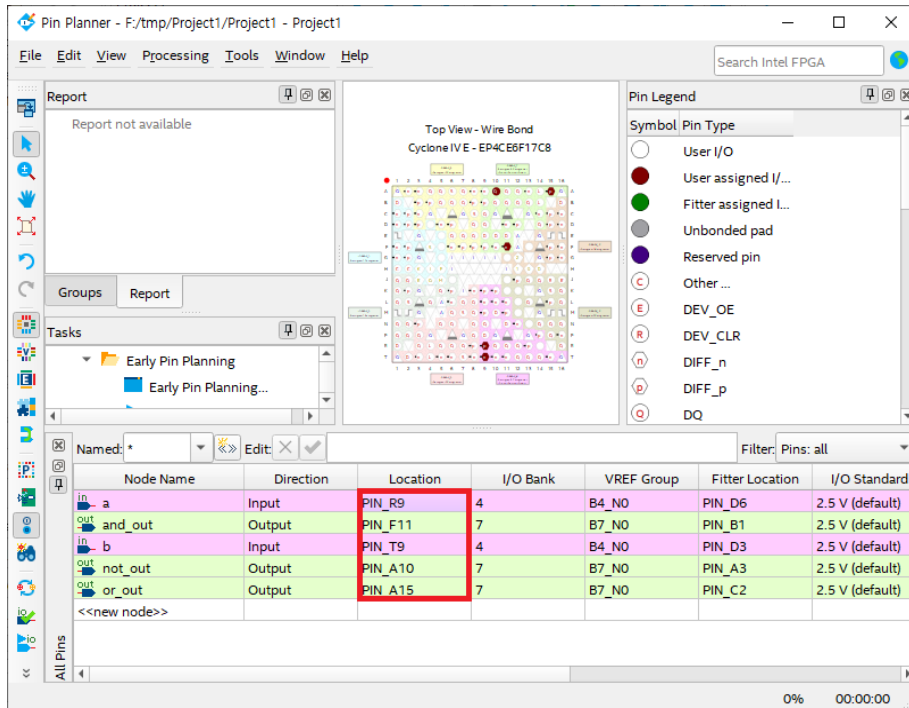
c. 사용하지 않는 핀 설정

- Device and Pin Options 창의 Category:에서 Unused Pins를 선택한다. Reserve all unused pins:를 'As input tri-stated'로 선택하고 [OK] 버튼을 클릭해 창을 닫는다. 이는 PGA에서 사용하지 않는 핀들을 입력으로 설정함으로써, 필요없는 값이 출력장치에 출력되는 것을 방지하기 위한 것이다.



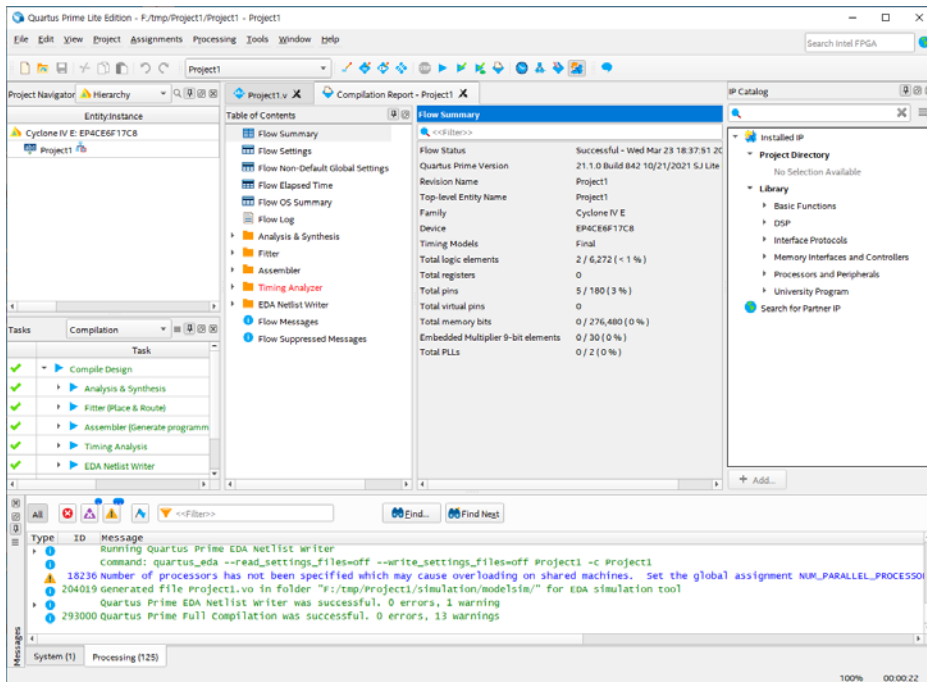
d. **디바이스 핀 할당**

- Cyclone IV 디바이스는 디바이스의 한 면에 핀이 배열되어 있는데, 각 핀에는 핀 번호가 부여되어 있고 슬라이스 스위치나 LED와 같은 입출력 장치가 연결되어 있다. 따라서 입출력 노드를 디바이스 핀에 할당하면 이 노드들이 입출력 장치와 연결된다.
- 디바이스 핀을 할당하기 위해 Quartus Prime Lite Edition 창에서 [Assignment → Pin Planner]메뉴를 클릭하면 Pin Planner 화면이 나타난다. 그리고 화면 아래에는 프로젝트 설계에서 사용되는 입출력 노드의 이름이 나타난다. 입출력 노드에 연결할, 입출력 장치가 연결된 핀 번호를 할당한다. 핀 번호를 할당할 때는 각 입출력 장치에 할당된 할당 표를 참고한다.



e. 컴파일

- 핀을 할당한 후에는 다시 컴파일해야 한다. 컴파일하면 pof 파일이 생성된다. pof 파일은 설계된 코드를 컴파일했을 때 생성되는 다운로드 파일로, configuration 디바이스에 저장되며 FPGA에서 실행된다.

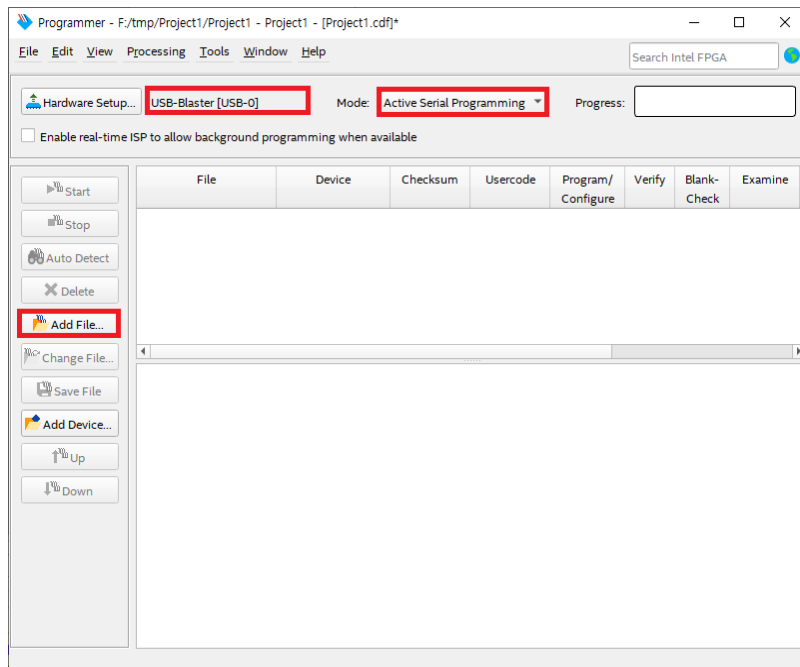


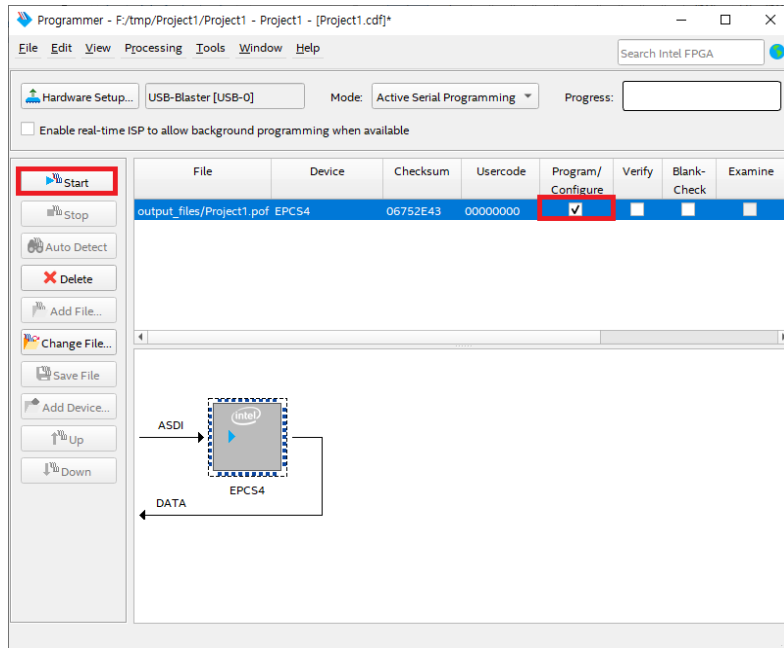
4.4 FPGA에 다운로드

설계된 회로를 실행시키기 위해서는 컴파일된 pof 파일을 FPGA에 다운로드해야 한다. 다음은 pof 파일을 USB Blaster로 EPCS4 configuration 디바이스에 다운로드하고, Cyclone IV FPGA 에서 실행시키는 과정을 설명한다. FPGA에 다운로드하기 전에 USB Blaster 케이블 한쪽을 컴퓨터의 USB 포트에 연결하고, 한쪽을 DIGCOM-A1.2의 커넥터에 연결해 전원을 켜다.

a. Programmer 실행

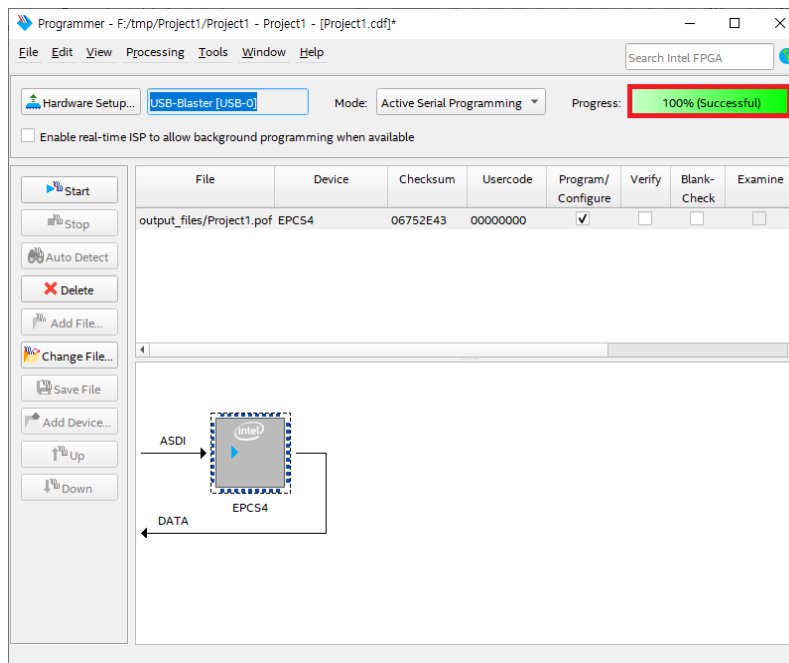
- [Tools → Programmer] 메뉴를 클릭하거나 [Programmer] 단축 아이콘을 클릭하여 Programmer 를 실행한다. Programmer 창에서 Hardware Setup이 'USB-Blaster[USB-0]'로 설정되었는지 확인하고, Mode:를 'Active Serial Programming'으로 선택한다. 프로젝트 파일을 추가하기 위해 [Add File...] 버튼을 클릭하여 '프로젝트 폴더\output_files\AlteraProject.pof' 파일을 선택한 후 [Open] 버튼을 누른다. 파일이 추가되면 'Program/Configure'를 체크한다. 설정이 완료되면 [Start] 버튼을 클릭해서 FPGA를 다운로드한다.





b. **FPGA 다운로드**

- Progress bar에서 다운로드가 완료되었다는 것을 확인할 수 있으며, 다운로드가 끝나면 설계한 설계한 코드가 DIGCOM-A1.2 키트에서 실행된다.



5. 계층적 프로젝트(Hierarchical Project)

설계가 복잡해지면 기능 단위 블록으로 나누어 설계한 후, 상위 계층에서 통합하는 방법인 계층적 설계를 실시한다. 계층적으로 설계하는 과정을 간단한 예로 설명한다.

계층적으로 설계하는 과정은, 먼저 전체 설계를 기능적으로 분리한 다음에 각 기능들을 Verilog 또는 VHDL로 설계하고 컴파일한 후, 시뮬레이션을 통해 동작에 이상이 없는지 확인하여 BSF Block Symbol File를 생성한다.

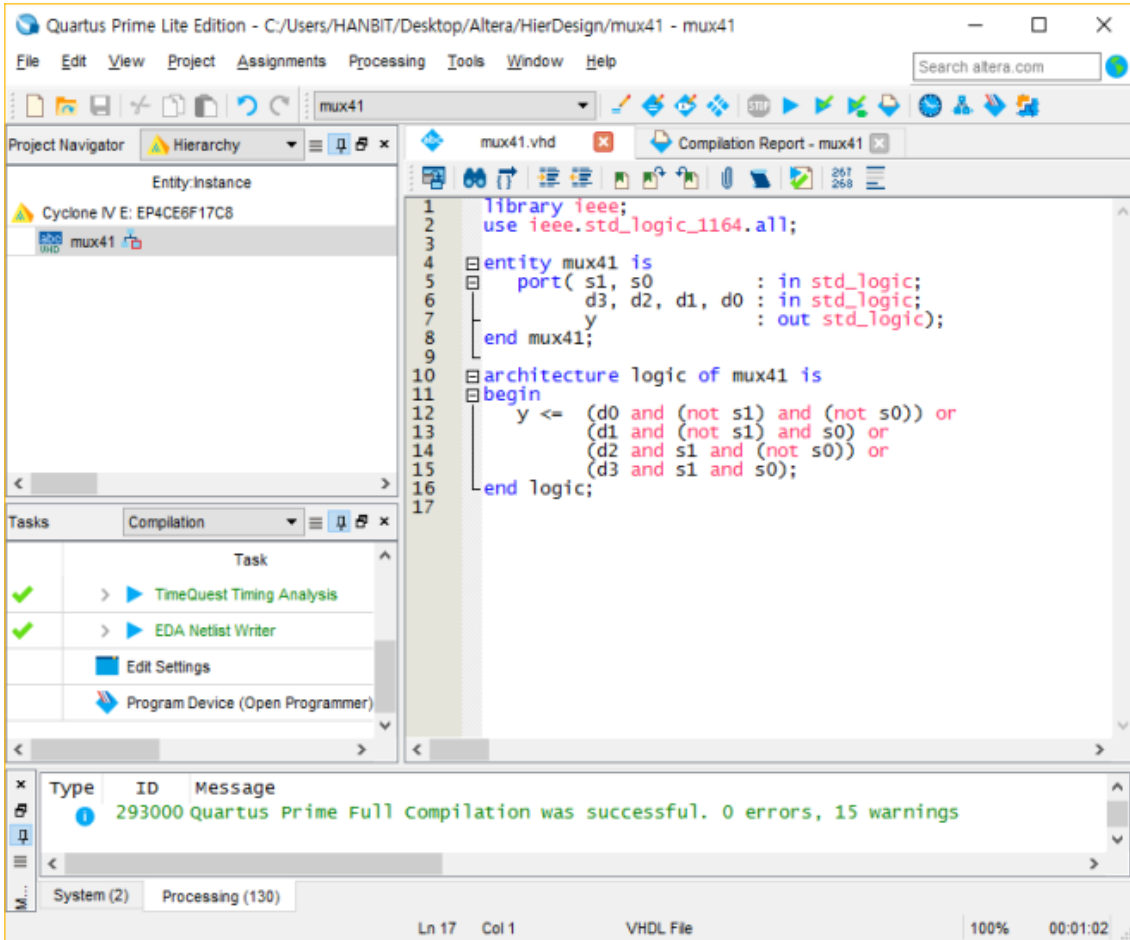
상위 계층에서는 새로운 프로젝트를 생성하고 새로운 디자인 파일로 Block Diagram/Schematic 파일을 오픈한다. 이 파일에서는 schematic 설계가 가능하며, 앞에서 생성한 BSF 및 라이브러리에서 제공하는 다른 심볼과 함께 설계할 수도 있다.

이 예에서는 4x1 멀티플렉서(mux41)를 VHDL로 설계하고 BSF로 생성한 후 상위 계층에서 이용해 설계하는 과정을 보여주고 있다. VHDL뿐 아니라 Verilog나 Schematic 등과 같은 방법으로 설계했을 때도 BSF로 생성하여 상위 계층에서 이를 이용해 설계할 수 있다. 또한 상위계층에서 Schematic 방법을 사용하지 않고 Verilog 또는 VHDL을 사용해 계층적인 설계를 할 수도 있다.

다음 예는 4x1 멀티플렉서를 VHDL로 설계한 후 mux41.BSF를 생성하고, 생성된 mux41 심볼과 알테라에서 제공되는 D 플립플롭 심볼을 상위 계층에서 연결하는 설계 과정이다. VHDL 대신 Verilog 로 4x1 멀티플렉서를 설계하더라도 심볼을 생성하고 Schematic으로 설계하는 과정은 동일하다.

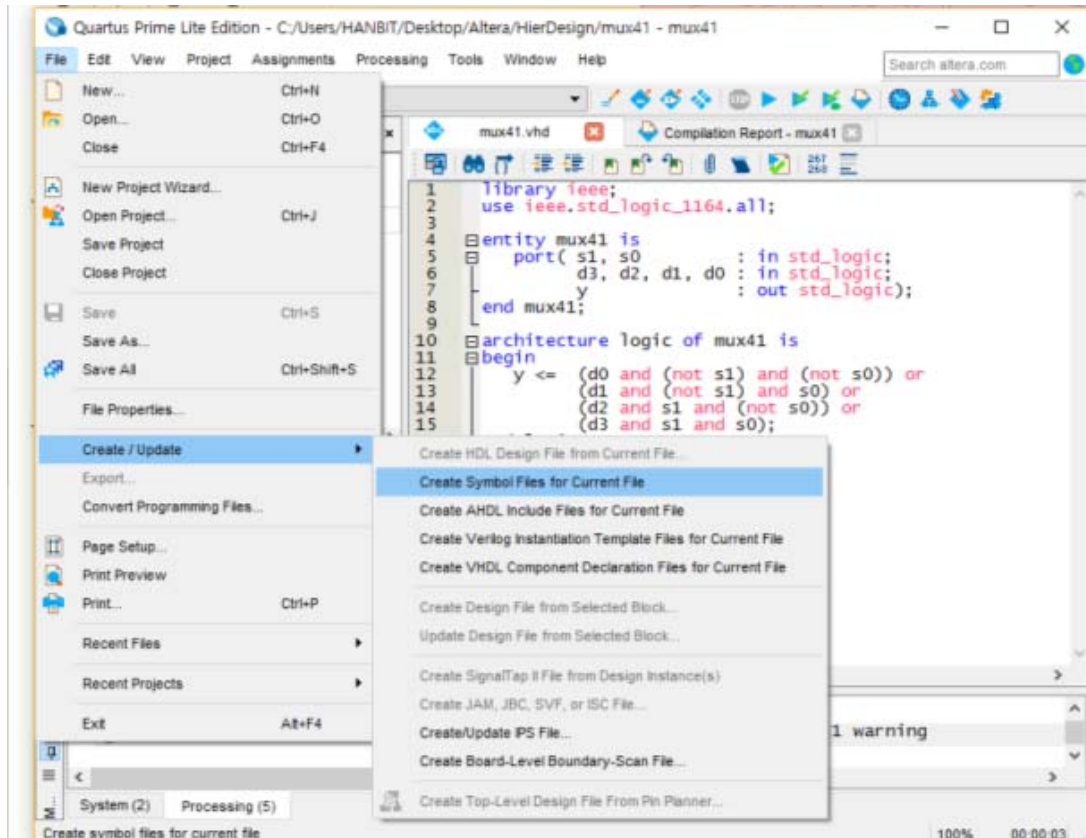
a. 심볼로 생성될 프로젝트 생성

- 상위 계층 설계를 위한 HierDesign 폴더 안에 심볼로 생성될 프로젝트(mux41)를 생성한다. 즉, HierDesign 폴더에 새로운 프로젝트 mux41 프로젝트를 생성하고 그림과 같이 mux41. Vhd를 설계한다.



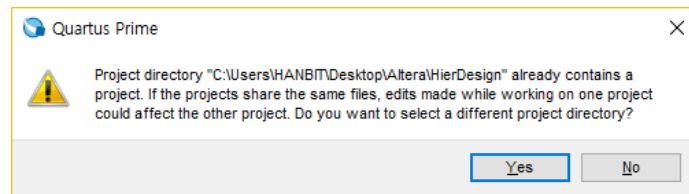
b. **Block Symbol File(BSF) 생성**

- 시뮬레이션으로 VHDL 설계 결과에 이상이 없다는 것을 확인한 후 [File → Create/Update → Create Symbol Files for Current File] 메뉴를 클릭하여 Block Symbol File(BSF)을 생성한다.



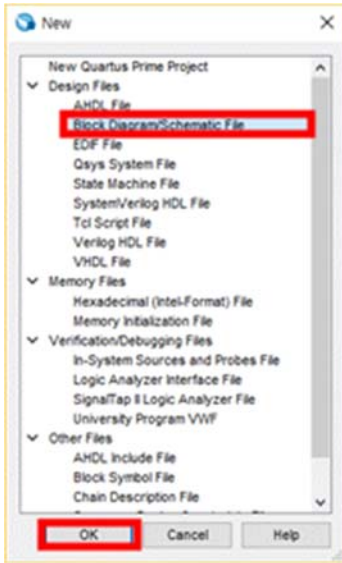
c. 최상위 프로젝트 생성

- 새로운 프로젝트를 동일한 폴더 안에 최상위 프로젝트 이름(HierDesign)으로 생성한다. 이때 폴더에 다른 프로젝트가 있으므로 경로를 수정할지 묻는 메시지가 출력되는데, [No] 버튼을 눌러 같은 폴더에 프로젝트를 생성한다.



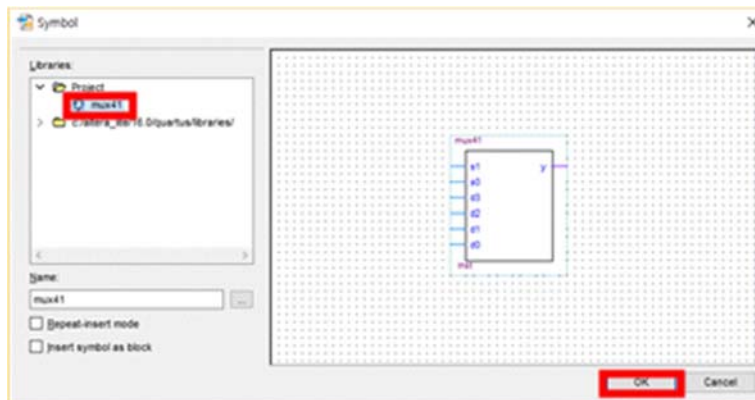
d. 최상위 프로젝트 생성

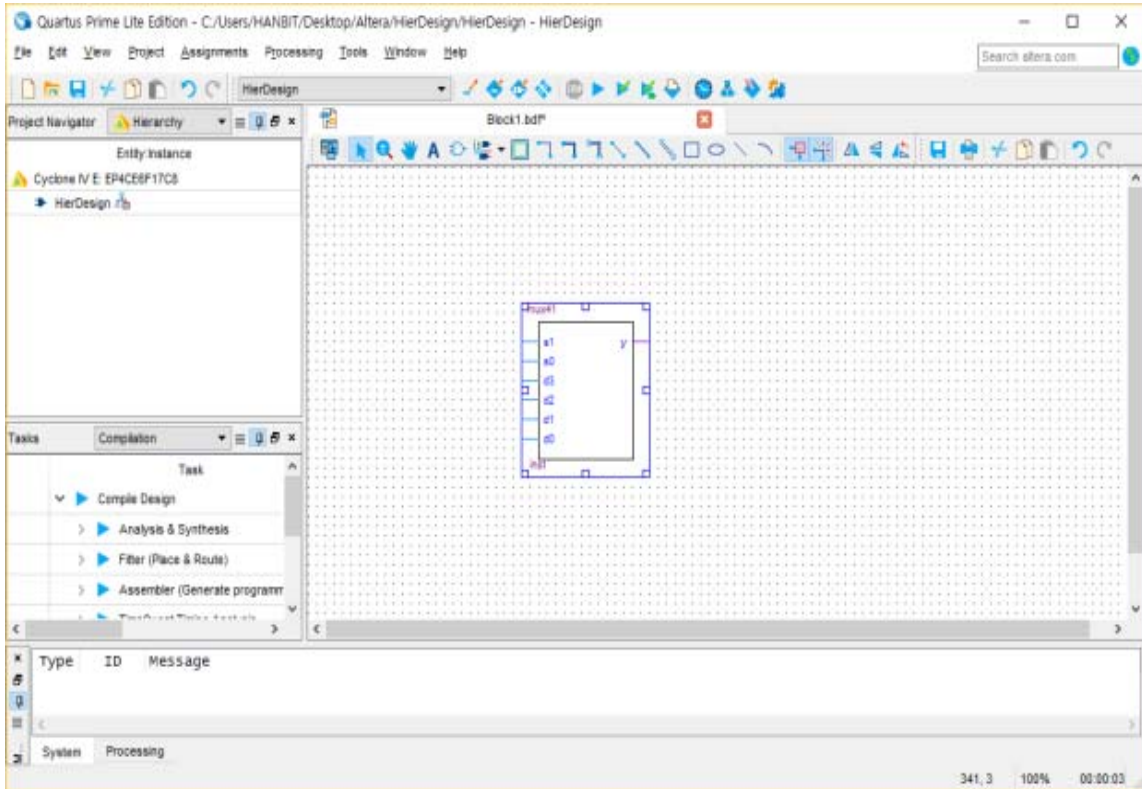
- Schematic 설계를 위해 [File → New → Block Diagram/Schematic File] 메뉴를 선택한다. 이는 생성된 mux41 BSF 파일과 알테라에서 제공하는 D 플립플롭을 이용하여 그래픽으로 설계하기 위한 템플릿이다.



e. **mux41 심볼 호출**

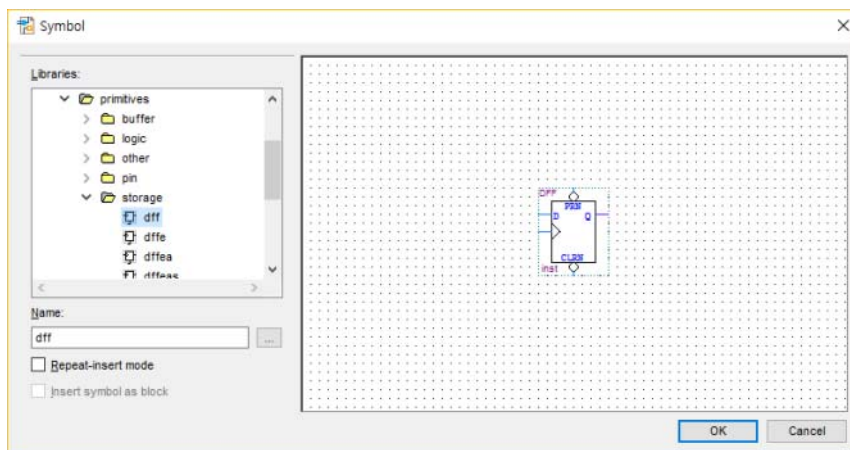
- Schematic 설계 화면 위에서 마우스 왼쪽 버튼을 더블 클릭하면 Symbol 창이 나타난다. 이때 Libraries:에서 [Project → mux41]을 선택하면 생성된 심볼이 나타난다. 참고로 Project 폴더에는 알테라에서 제공되는 심볼이 아닌, 사용자가 생성한 심볼이 저장된다. 선택이 완료되면 [OK] 버튼을 눌러 창을 닫고 적당한 위치에 심볼을 배치한다.







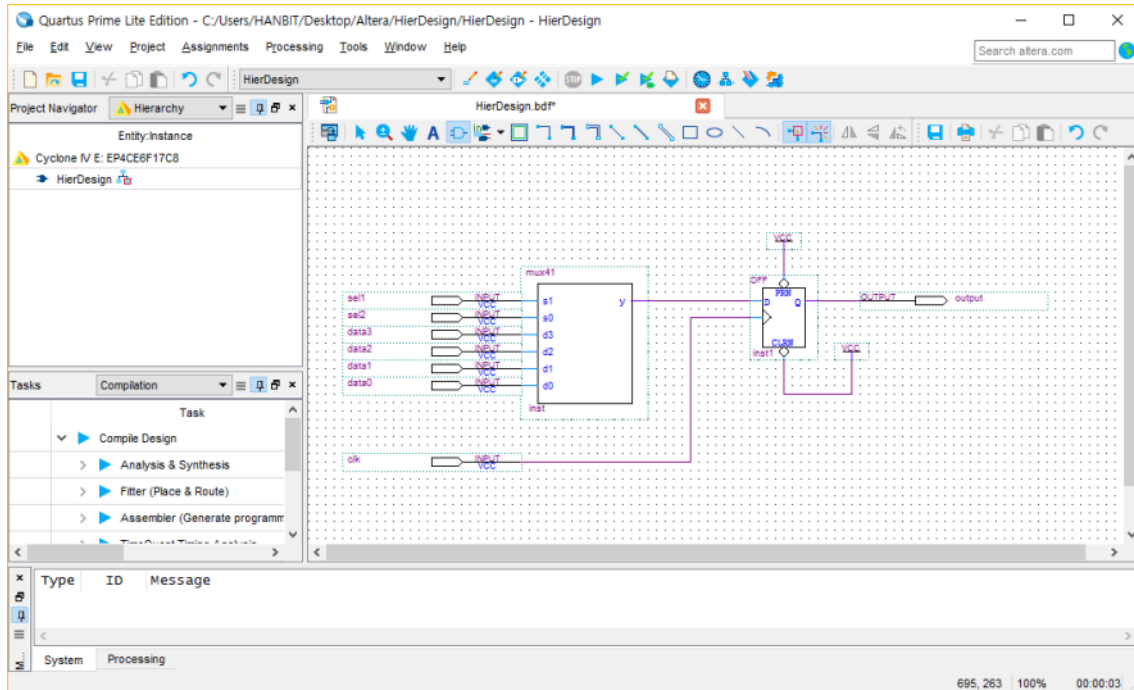
f. **D 플립플롭 호출**

- Schematic 설계 화면 위에서 다시 마우스 왼쪽 버튼을 더블 클릭해 Symbol 창을 띄운다. Libraries:에서 [primitives → storage → dff]를 선택하고 [OK] 버튼을 클릭한다. Library에는 알테라에서 제공하는 컴포넌트가 심볼로 제공된다.



g. D 플립플롭 호출

- 회로의 나머지 부분을 설계한 후 'HierDesign.bdf'로 저장한다. 이때 input, output 단자는 -아이콘을 눌러 입력하고, VCC는 빈 공간을 더블 클릭하여 Symbol 창을 띄우거나 -아이콘을 클릭하여 Symbol 창을 띄워 입력한다.



h. 컴파일 및 FPGA 다운로드

- 다시 컴파일한 후 성공 메시지를 확인한다. 이후 시뮬레이션과 FPGA에 다운로드하여 실행하는 과정은 앞에서 설명한 방법과 동일하다.

Quartus Prime Lite Edition - C:/Users/HANBIT/Desktop/Altera/HierDesign/HierDesign - HierDesign

File Edit View Project Assignments Processing Tools Window Help

Search altera.com

HierDesign

Project Navigator Hierarchy

Entity/Instance

Cyclone IV E: EP4CE6F17C8

HierDesign

Table of Contents

- Flow Summary
- Flow Settings
- Flow Non-Default Global Setting
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Filter
- Assembler
- TimeQuest Timing Analyzer
- EDA Netlist Writer
- Flow Messages
- Flow Suppressed Messages

Flow Summary

Flow Status: Successful - Tue Aug 16 16:42:23 2016

Quartus Prime Version: 16.0.0 Build 211 04/27/2016 SJ Lite Edition

Revision Name: HierDesign

Top-level Entity Name: HierDesign

Family: Cyclone IV E

Device: EP4CE6F17C8

Timing Models: Final

Total logic elements: 2 / 6,272 (< 1 %)

Total combinational functions: 2 / 6,272 (< 1 %)

Dedicated logic registers: 1 / 6,272 (< 1 %)

Total registers: 1

Total pins: 8 / 180 (4 %)

Total virtual pins: 0

Total memory bits: 0 / 276,480 (0 %)

Embedded Multiplier 9-bit elements: 0 / 30 (0 %)

Total PLLs: 0 / 2 (0 %)

Tasks

Compilation

Task

- Compile Design
- Analysis & Synthesis
- Filter (Place & Route)
- Assembler (Generate program...
- TimeQuest Timing Analyzer

Type ID Message

293000 Quartus Prime Full compilation was successful. 0 errors, 16 warnings

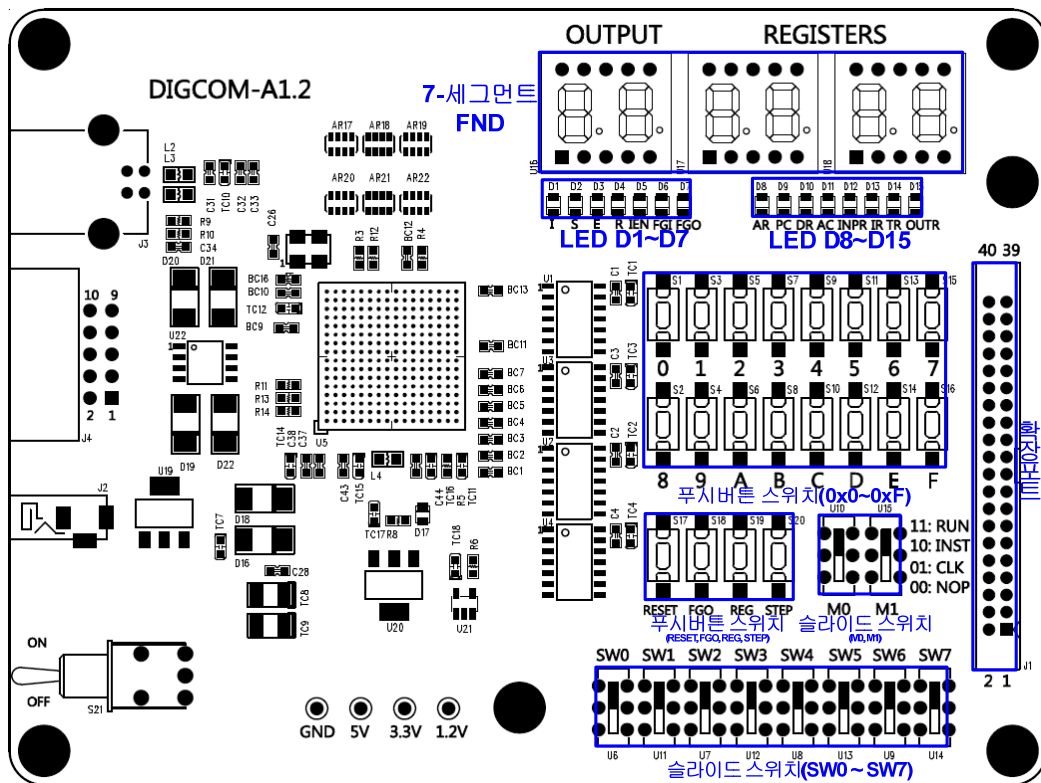
System Processing (126)

502, 2 100% 00:01:19

6. DIGCOM-A1.2 디바이스 핀 할당

a. Device Pin Options 설정

DIGCOM-A1.2에서는 일반적으로 사용할 수 있는 입출력 장치는 3개의 2자리 7-세그먼트 FND, 16개의 푸시버튼 스위치(0x0 ~ 0xF), 4개의 푸시버튼 스위치 (RESET, FGO, REG, STEP), 8개의 슬라이드 스위치(SW0 ~ SW7), 2개의 슬라이드 스위치(M0, M1) 및 15개의 LED(D1 ~ D15)가 있다. [그림 3]은 DIGCOM-A1.2에서 각 입출력 장치의 위치를 보여준다.



■ 푸시버튼 스위치(0x0 ~ 0xF)의 핀 할당

0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
N3	P3	R3	T3	T2	R4	T4	N5
0x8	0x9	0xA	0xB	0xC	0xD	0xE	0xF
N6	M6	P6	M7	K8	R5	T5	R6

■ 푸시버튼 스위치(RESET, FGO, REG, STEP) 핀 할당

RESET	FGO	REG	STEP
L8	P8	M8	N8

■ 슬라이드 스위치(SW0 ~ SW7) 핀 할당

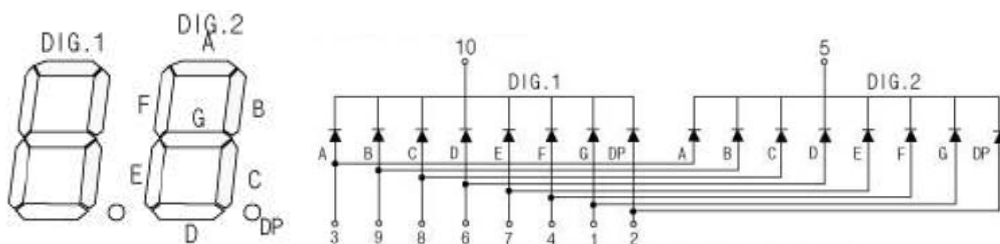
SW0	SW1	SW2	SW3	SW4	SW5	SW6	SW7
R9	T9	K9	L9	M9	N9	R10	T10

■ 슬라이드 스위치(M0, M1) 핀 할당

M0	M1
R12	T12

■ 7-세그먼트(FND3 ~ FND1) 핀 할당

FND3	FND3A	FND3B	FND3C	FND3D	FND3E	FND3F	FND3G	FND3DP	FND3Sel2	FND3Sel1
	A8	B8	C8	D8	E8	F8	A7	B7	F6	F7
FND2	FND2A	FND2B	FND2C	FND2D	FND2E	FND2F	FND2G	FND2DP	FND2Sel2	FND2Sel1
	C6	A6	B6	E7	E6	A5	A2	B5	A4	B4
FND1	FND1A	FND1B	FND1C	FND1D	FND1E	FND1F	FND1G	FND1DP	FND1Sel2	FND1Sel1
	C14	D14	D11	D12	A13	B13	A14	B14	E11	E10



[그림 4] 2자리 7-세그먼트 FND 핀 배열

■ LED(D1 ~ D7) 핀 할당

D1	D2	D3	D4	D5	D6	D7
A12	B12	A11	B11	C11	F10	F9

■ LED(D8 ~ D15) 핀 할당

D8	D9	D10	D11	D12	D13	D14	D15
F11	A15	A10	B10	C9	D9	E9	A9

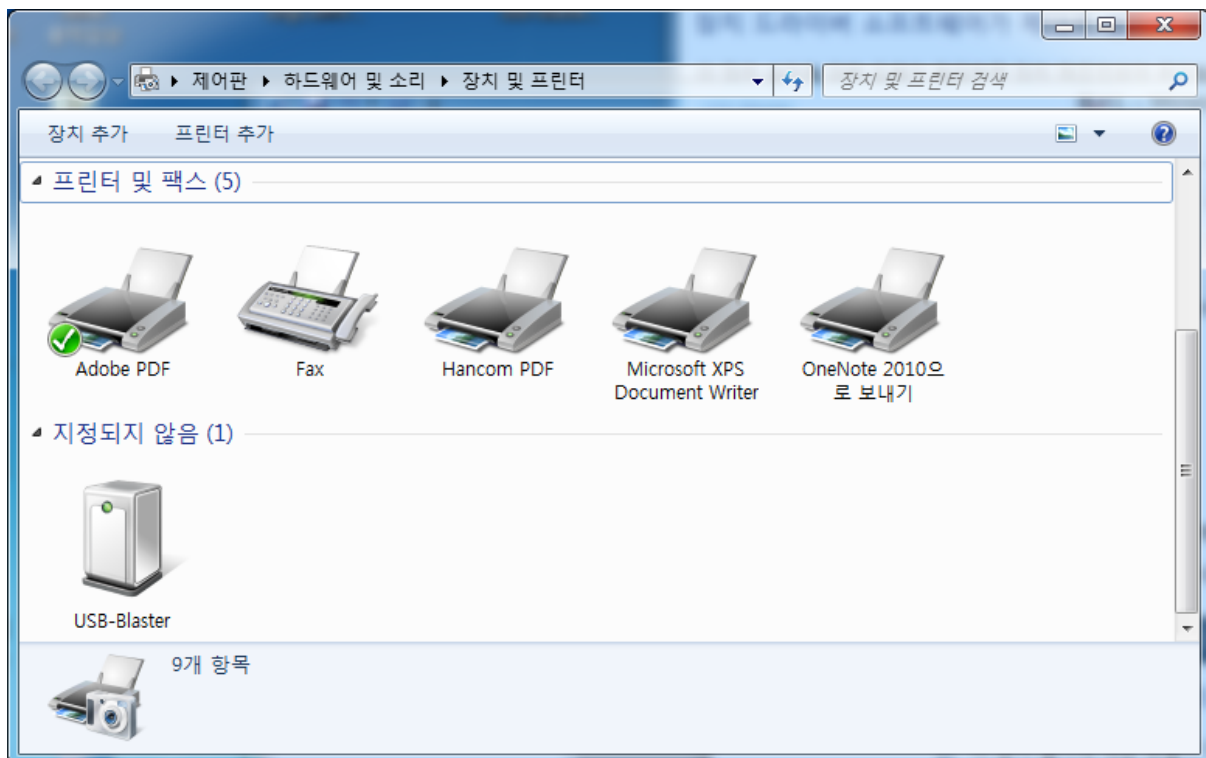
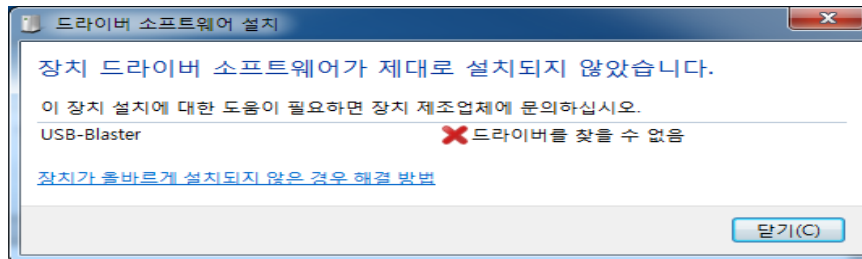
■ 확장 포트 핀 할당(IO0 ~IO31) 핀 할당

IO0	IO1	IO2	IO3	IO4	IO5	IO6	IO7
N13	M12	L12	K12	N14	P15	P16	R16
IO8	IO9	IO10	IO11	IO12	IO13	IO14	IO15
K11	N16	N15	L14	L13	L16	L15	J11
IO16	IO17	IO18	IO19	IO20	IO21	IO22	IO23
K16	K15	J16	J15	J14	J12	J13	G16
IO24	IO25	IO26	IO27	IO28	IO29	IO30	IO31
G15	F13	G11	F15	B16	F14	D16	D15

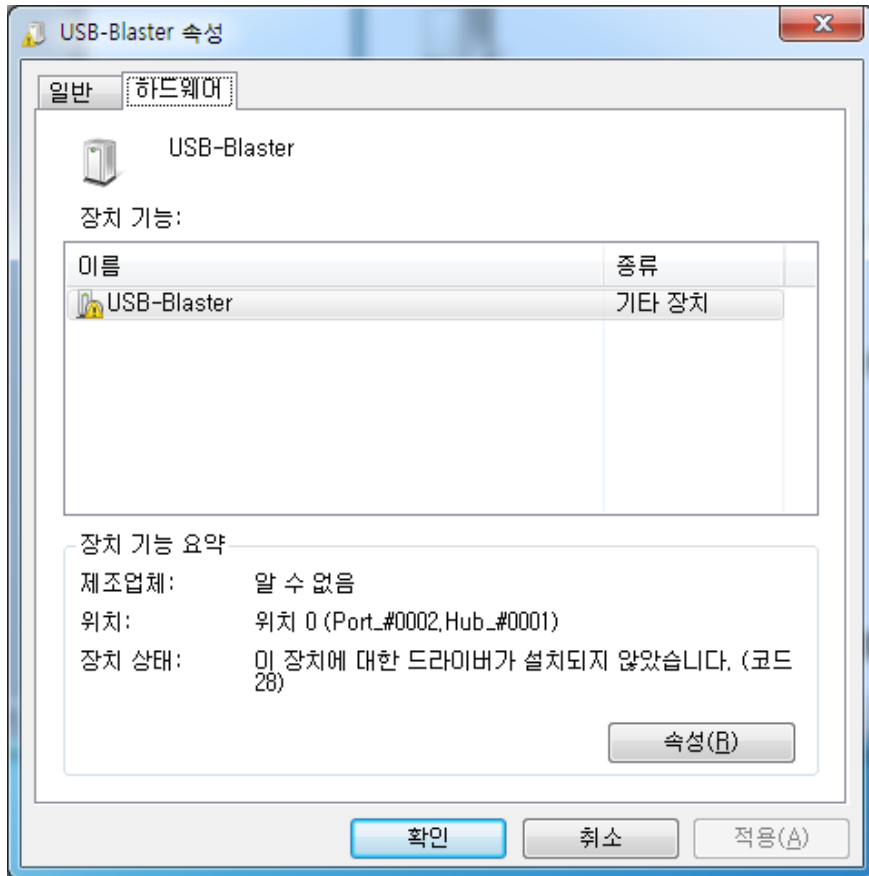
■ Oscillator : E16, E15

7. USB-Blaster 드라이버 설치(64비트 윈도우10 기준)

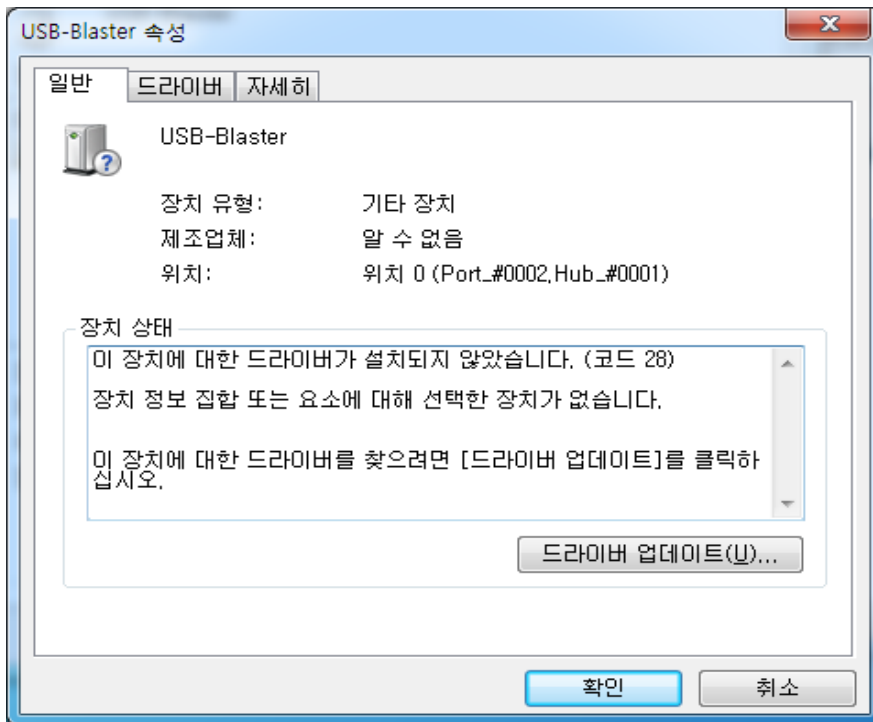
Usb blaster 케이블을 연결하면 다음과 같은 메시지가 표시되며, 제어판에서 장치 및 프린터에 USB-BLASTER가 "지정되지 않음"으로 표시됨.



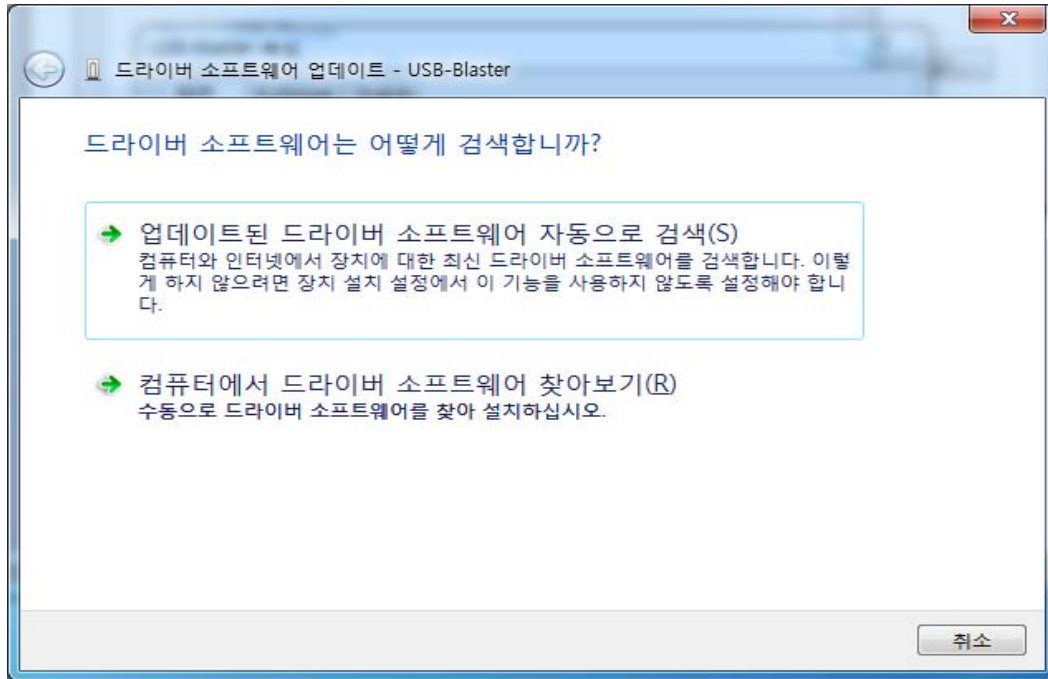
Usb blaster 아이콘위에서 마우스의 오른쪽 버튼을 클릭해서 속성을 클릭하면 Usb-blaster 속성이 나오고, 하드웨어 탭을 선택한다.



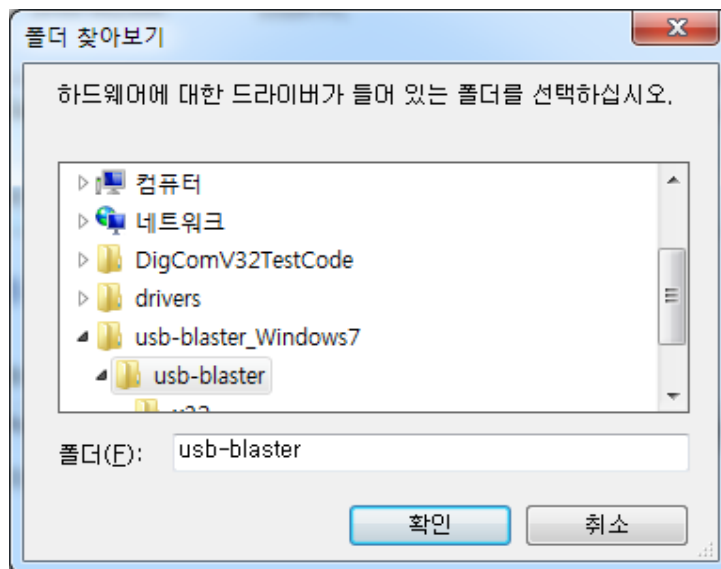
속성을 클릭한 후 드라이버 업데이트를 클릭한다.



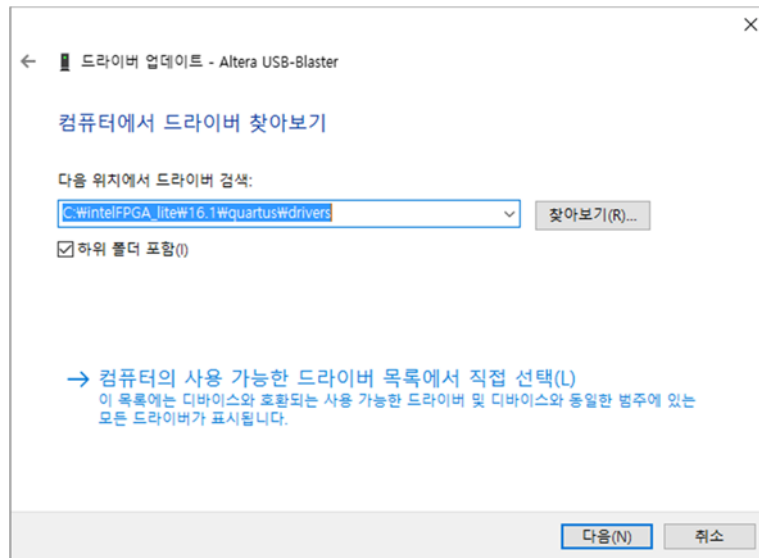
속성을 클릭한 후 드라이버 업데이트를 클릭한다.



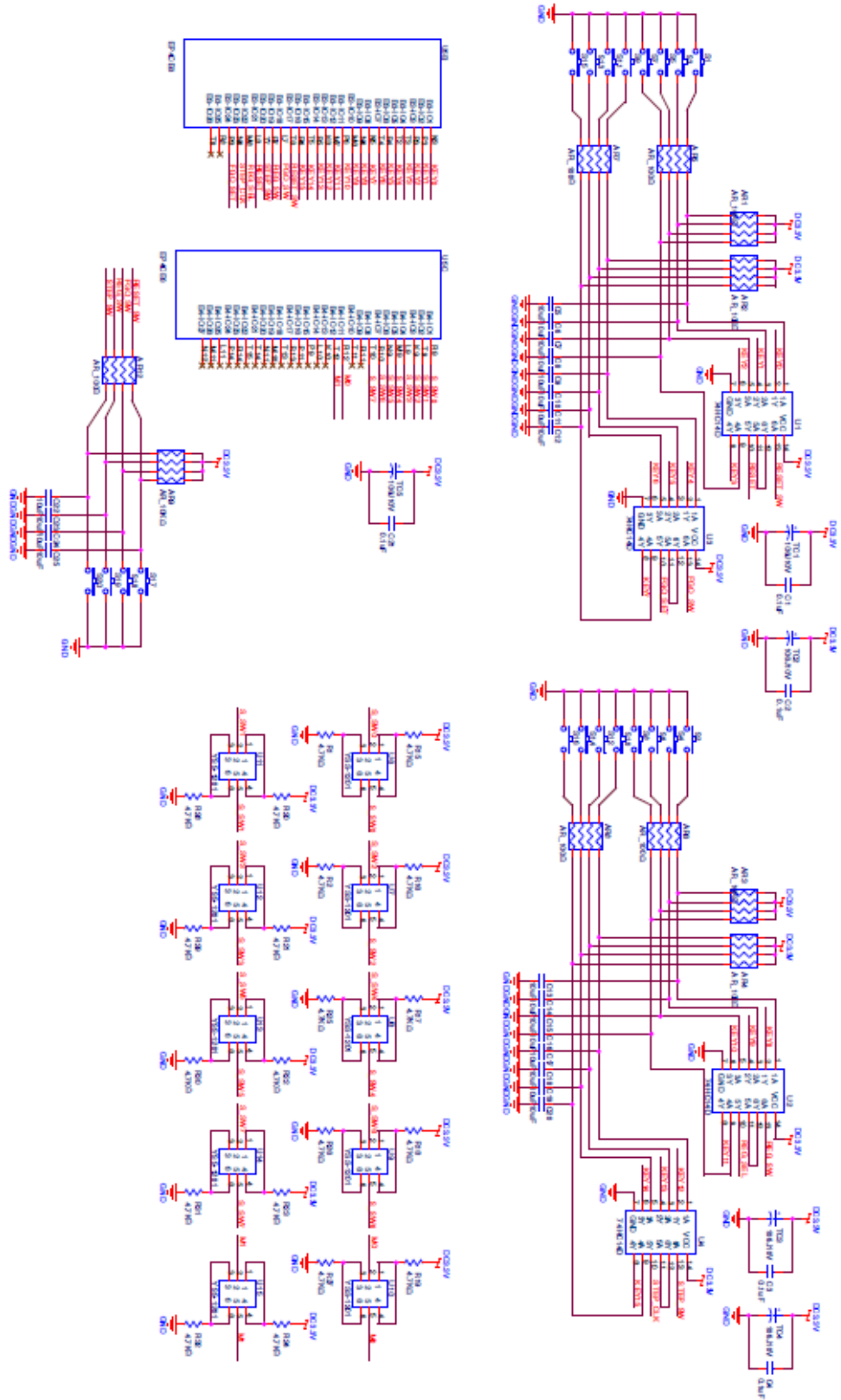
컴퓨터에서 드라이버 소프트웨어 찾아보기를 선택하여 드라이버가 있는 폴더로 이동하고 확인을 클릭하여 설치를 진행한다.

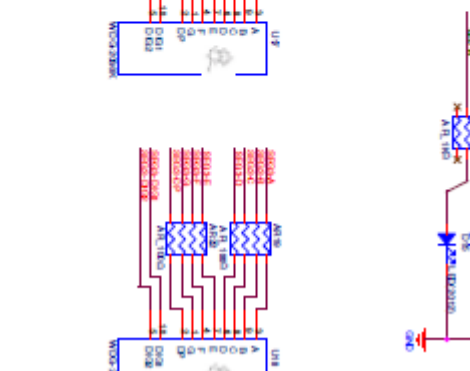
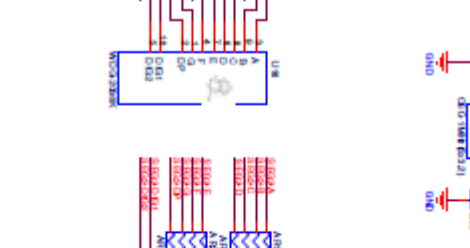
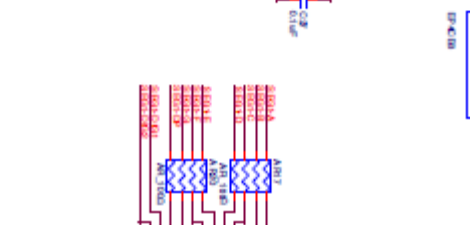
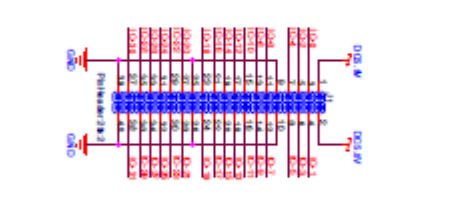
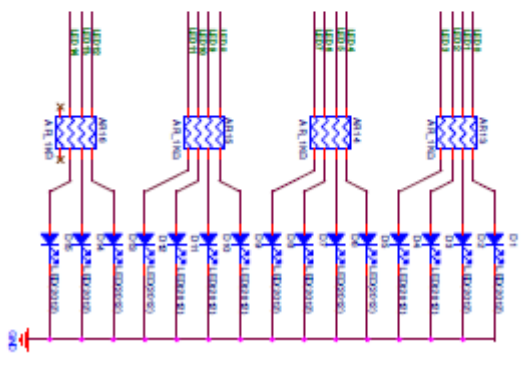
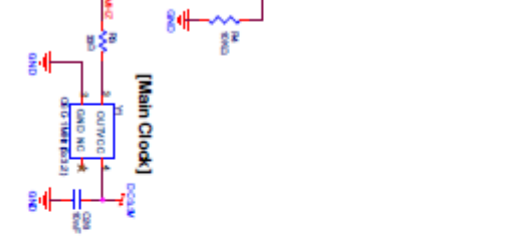
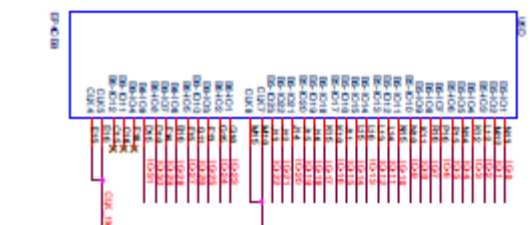
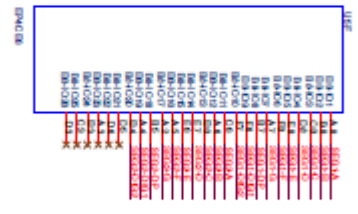


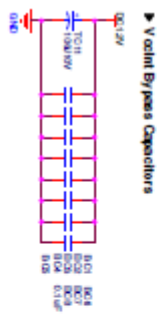
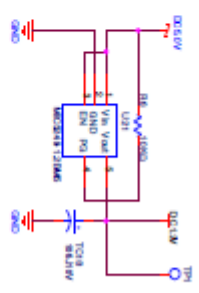
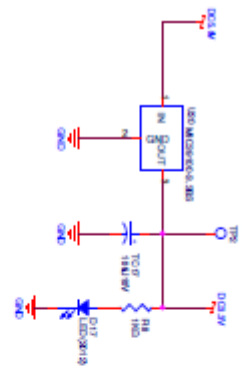
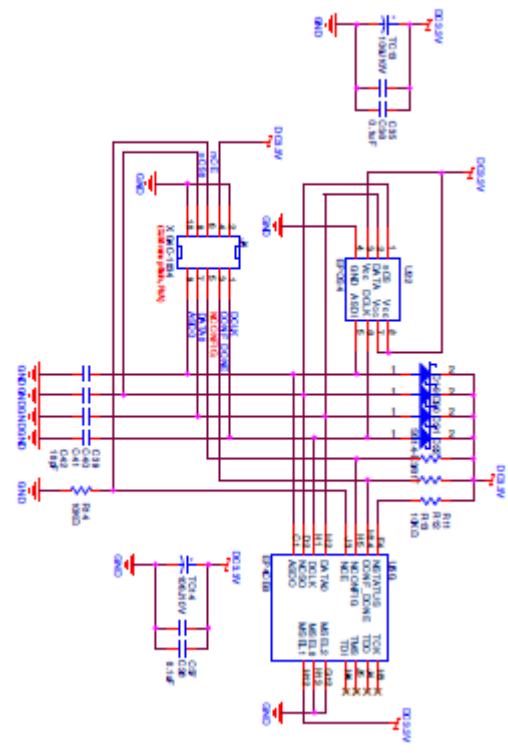
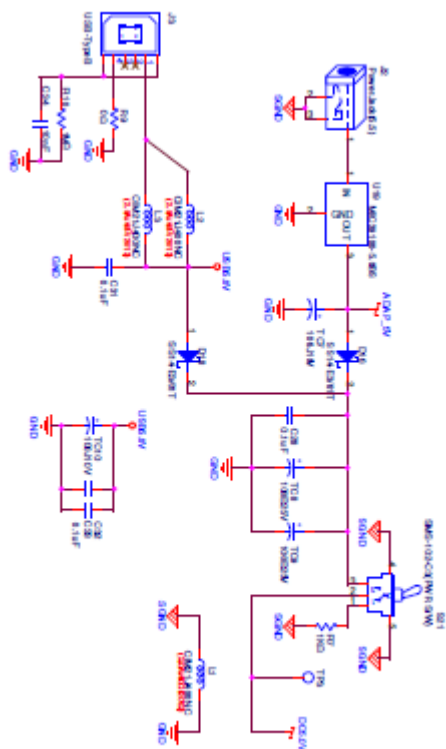
이 때 드라이버 폴더를 선택할 때 C:\wintelFPGA_lite\16.1\quartus\drivers 전체를 선택하고 하부 폴더 검색을 체크한다.



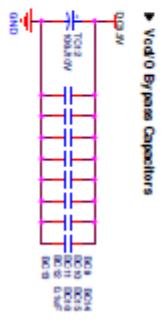
8. DIGCOM-A1.2 회로도







► Vcc10 Bypass Capacitors



► Vcc1.8 Bypass Capacitors

